

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicants: K. OSADA, et al.
Application No.: 10/606,954
Filed: June 27, 2003
For: SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE
Art Unit: Unknown
Examiner: Unknown

SUBMISSION OF SWORN TRANSLATION OF PRIORITY DOCUMENT

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

August 18, 2003

Sir:

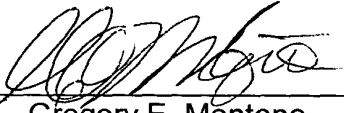
In accordance with the provisions of MPEP 201.15, enclosed herewith is a sworn translation of Japanese Patent application 11-130945, filed on May 12, 1999. Applicants have previously claimed the benefit of the filing date of May 12, 1999 of this priority document, and filed a certified copy thereof on June 27, 2002 in parent application serial number 09/565,535. The present sworn translation is being filed to establish the Applicants' right to the priority date of May 12, 1999, prior to the U.S. filing date of February 7, 2002 of USP 6,476,424, a copy of which is being filed herewith with an Information Disclosure Statement under 37 CFR §§ 1.97 and 1.98 on even date herewith.

Please charge any shortage in the fees due in connection with the filing of this paper, including extension of time fees, to the deposit account of Antonelli, Terry,

Stout & Kraus Deposit Account No. 01-2135 (500.38532CX1) please credit any excess fees to such deposit account.

Respectfully submitted,

ANTONELLI, TERRY, STOUT & KRAUS, LLP

By 
Gregory E. Montone
Reg. No. 28,141

GEM/dlt

1300 North Seventeenth Street, Suite 1800
Arlington, Virginia 22209
Telephone: (703) 312-6600
Facsimile: (703) 312-6666

【書類名】 特許願
【整理番号】 H99001041A
【提出日】 平成 11 年 5 月 12 日
【あて先】 特許庁長官 殿
【国際特許分類】 H01L 27/10
【発明者】
 【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 280 番地
 株式会社日立製作所中央研究所内
 【氏名】 長田 健一
【発明者】
 【住所又は居所】 東京都小平市上水本町五丁目 20 番 1 号
 株式会社日立製作所半導体グループ内
 【氏名】 南 正隆
【発明者】
 【住所又は居所】 東京都小平市上水本町五丁目 20 番 1 号
 株式会社日立製作所半導体グループ内
 【氏名】 池田 修二
【発明者】
 【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 280 番地
 株式会社日立製作所中央研究所内
 【氏名】 石橋 孝一郎
【特許出願人】
 【識別番号】 000005108
 【氏名又は名称】 株式会社日立製作所
【代理人】
 【識別番号】 100075096
 【弁理士】
 【氏名又は名称】 作田 康夫
 【電話番号】 03-3212-1111
【手数料の表示】
 【予納台帳番号】 013088
 【納付金額】 21,000 円
【提出物件の目録】
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路装置

【特許請求の範囲】

【請求項 1】

第 1 の N チャンネル型 MOS トランジスタと第 1 の P チャンネル型 MOS トランジスタとを含む第 1 のインバータと、第 2 の N チャンネル型 MOS トランジスタと、第 2 の P チャンネル型 MOS トランジスタとを含み、前記第 1 のインバータの出力端子に入力端子が接続され、前記第 1 のインバータの入力端子に出力端子が接続された第 2 のインバータと、前記第 1 のインバータの出力端子にソースが接続され、第 1 のビット線にドレインが接続され、ワード線にゲートが接続された第 3 の N チャンネル型 MOS トランジスタと、前記第 2 のインバータの出力端子にソースが接続され、第 2 のビット線にドレインが接続され、ワード線にゲートが接続された第 4 の N チャンネル型 MOS トランジスタとを備え、前記第 1 および第 3 の N チャンネル型 MOS トランジスタは第 1 の P ウエル領域に形成され、その拡散層の外形は直線を主体として構成され、最も長い直線部分が、第 1 および第 2 の P チャンネル型 MOS トランジスタが形成される第 1 の n ウエル領域との境界に対して、平行であり、かつ、該境界に平行な中心線となる直線を規定した場合該中心線に対して線対称であり、前記第 2 および第 4 の N チャンネル型 MOS トランジスタは第 2 の P ウエル領域に形成され、その拡散層の外形は直線を主体として構成され、最も長い直線部分が、第 1 および第 2 の P チャンネル型 MOS トランジスタが形成される第 1 の n ウエル領域との境界に対して、平行であり、かつ、該境界に平行な中心線となる直線を規定した場合該中心線に対して線対称であることを特徴とする半導体記憶装置。

【請求項 2】

前記第 3 の N チャンネル型 MOS トランジスタのゲートに用いられる第 1 の多結晶シリコン配線層と、前記第 1 の N チャンネル型 MOS トランジスタのゲートと前記第 1 の P チャンネル型 MOS トランジスタのゲートとに用いられる第 2 の多結晶シリコン配線層とが平行に配置され、前記第 4 の N チャンネル型 MOS トランジスタのゲートに用いられる第 3 の多結晶シリコン配線層と、前記第 2 の N チャンネル型 MOS トランジスタのゲートと前記第 2 の P チャンネル型 MOS トランジスタのゲートに用いられる第 4 の多結晶シリコン配線層とが平行に配置され、第 1 および第 3 の多結晶シリコン配線層は、ワード線を構成する第 2 層の金属配線層とコンタクトを介して接続されていることを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 3】

前記第 1 のインバータの入力端子と前記第 2 のインバータの出力端子がコンタ

クトで電氣的に接続され、前記第2のインバータの入力端子と前記第1のインバータの出力端子がコンタクトで電氣的に接続されていることを特徴とする請求項1記載の半導体記憶装置。

【請求項4】

前記第1、第2のビット線と、前記第1、第2のPチャネル型MOSトランジスタのソースに接続された電源線と、前記第1、第2のNチャネル型MOSトランジスタのソースに接続された接地線とが、第3層の金属配線層で、拡散層と平行に形成される請求項1記載の半導体記憶装置。

【請求項5】

前記第3層の金属配線層で形成された第1のビット線が前記第3層の金属配線層で形成された電源線と、前記第3層の金属配線層で形成された第1のNチャネル型MOSトランジスタのソースに接続された接地線とに挟まれ、前記第3層の金属配線層で形成された第2のビット線が前記第3層の金属配線層で形成された電源線と、前記第3層の金属配線層で形成された第2のNチャネル型MOSトランジスタのソースに接続された接地線とに挟まれている請求項4記載の半導体記憶装置。

【請求項6】

前記第1、第2のビット線と、前記第1、第2のPチャネル型MOSトランジスタのソースに接続された電源線とが第2層の金属配線層で形成され、ワード線が第3層の金属層で形成され、前記第1、第2のNチャネル型MOSトランジスタのソースに接続された接地線が、第3層および第2層の金属配線層で形成されていることを特徴とする請求項1記載の半導体記憶装置。

【請求項7】

前記メモリセルがアレイ上に並べられ、アレイ中およびアレイの上下に、Pウエル領域の基板へのコンタクトおよびNウエル領域の基板へのコンタクトがワード線と平行に直線的に配置されていることを特徴とする請求項1ないし6のうちのいずれかに記載の半導体記憶装置。

【請求項8】

第1のNチャネル型MOSトランジスタと第1のPチャネル型MOSトランジスタとを有する第1のインバータと、
第2のNチャネル型MOSトランジスタと、第2のPチャネル型MOSトランジスタとを有し、前記第1のインバータの出力端子に入力端子が接続され、前記第1のインバータの入力端子に出力端子が接続された第2のインバータと、
前記第1のインバータの出力端子にソースが接続され、第1のビット線にドレインが接続され、ワード線にゲートが接続された第3のNチャネル型MOSトランジスタと、

前記第2のインバータの出力端子にソースが接続され、第2のビット線にドレインが接続され、ワード線にゲートが接続された第4のNチャネル型MOSトランジスタとを有し、

前記第1および第3のNチャネル型MOSトランジスタは第1のPウエル領域に形成され、該第1のPウエル領域に形成される拡散層は、上記第1および第2のPチャネル型MOSトランジスタが形成される第1のnウエル領域との境界に対して平行な方向に長辺を有する長方形を、上記平行な方向につなげた形状であり、前記第2および第4のNチャネル型MOSトランジスタは第2のPウエル領域に形成され、該第2のPウエル領域に形成される拡散層は、上記第1および第2のPチャネル型MOSトランジスタが形成される第1のnウエル領域との境界に対して平行な方向に長辺を有する長方形を、上記平行な方向につなげた形状であることを特徴とする半導体記憶装置。

【請求項9】

互いの出力を入力とする第1および第2のインバータと、第1のインバータの出力と第2のインバータの入力の接続点に接続された第1のスイッチと、第1のインバータの入力と第2のインバータの出力の接続点に接続された第2のスイッチとを有する半導体装置であって、

該半導体装置はNウエル領域、該Nウエル領域の両側に配置された第1及び第2のPウエル領域を有し、

上記Nウエル領域、第1及び第2のPウエル領域にそれぞれ形成された拡散層の平面形状は、(1)上記Nウエル領域、第1及び第2のPウエル領域の境界線の延びる方向に長辺を有する単一の長方形からなる形状、もしくは、(2)上記Nウエル領域、第1及び第2のPウエル領域の境界線の延びる方向に長辺を有する複数の長方形を上記境界線の延びる方向に組み合わせた形状であることを特徴とする半導体装置。

【請求項10】

上記Nウエル領域およびPウエル領域に形成された拡散層の平面形状は、上記Nウエル領域、第1及び第2のPウエル領域の境界線の延びる方向に長辺を有する単一の長方形であることを特徴とする請求項9記載の半導体装置。

【請求項11】

上記Pウエル領域またはPウエル領域に形成された拡散層の平面形状は、上記Nウエル領域、第1及び第2のPウエル領域の境界線の延びる方向に長辺を有し第1の長さの短辺を有する第1の長方形と、上記Nウエル領域、第1及び第2のPウエル領域の境界線の延びる方向に長辺を有し上記第1の長さと異なる第2の長さの短辺を有する第2の長方形とを、上記境界線の延びる方向に組み合わせた形状であることを特徴とする請求項9または10記載の半導体装置。

【請求項 1 2】

上記第 1 のインバータは、上記第 1 の P ウエル領域および N ウエル領域を用いて形成された第 1 の N チャネル型 MOS トランジスタと第 1 の P チャネル型 MOS トランジスタで形成され、

上記第 2 のインバータは、上記第 2 の P ウエル領域および N ウエル領域を用いて形成された第 2 の N チャネル型 MOS トランジスタと第 2 の P チャネル型 MOS トランジスタで形成され、

上記第 1 のスイッチは、上記第 1 の P ウエル領域に形成された第 3 の N チャネル型 MOS トランジスタで形成され、

上記第 2 のスイッチは、上記第 2 の P ウエル領域に形成された第 4 の N チャネル型 MOS トランジスタで形成されたことを特徴とする請求項 9 ないし 1 1 のうちのいずれかに記載の半導体装置。

【請求項 1 3】

上記第 1 および第 2 のインバータ、第 1 および第 2 のスイッチはスタティック型メモリセルを構成し、該メモリセルを複数備えることによりメモリアレイを構成し、

上記 N ウエル領域、第 1 及び第 2 の P ウエル領域の境界線の延びる方向に並行にビット線が配置され、上記境界線に垂直な方向にワード線が配置されることを特徴とする請求項 9 ないし 1 2 のうちのいずれかに記載の半導体装置。

【請求項 1 4】

前記メモリアレイを複数有し、該メモリアレイの間に、P ウエル領域の基板へのコンタクトおよび N ウエル領域の基板へのコンタクトの少なくとも一つが配置される中間領域を有することを特徴とする請求項 1 3 のうちのいずれかに記載の半導体記憶装置。

【請求項 1 5】

前記中間領域には、所定電位を有する配線を前記ワード線に平行に配置し、前記コンタクトは該配線と基板との間を電氣的に接続することを特徴とする請求項 1 4 に記載の半導体記憶装置。

【請求項 1 6】

少なくとも 1 対の N ウエル領域と P ウエル領域とからなるメモリセルをアレイ状に配置したメモリアレイを複数備え、

該メモリアレイの間に少なくとも一つの間接領域を有し、

上記 N ウエル領域と P ウエル領域との境界は少なくとも一つの直線部分を有し、

上記 N ウエル領域と P ウエル領域にそれぞれ形成された拡散層の平面形状は、

(1) 上記直線部分と平行な長辺を有する長方形の形状、または、(2) 上記直線部分と平行な長辺を有する複数の長方形をそれぞれの短辺を介して組み合わせ

た形状であり、

上記直線部分に平行にビット線が配置され、上記直線部分に垂直な方向にワード線が配置され、

上記中間領域においては、上記直線部分に垂直な方向に少なくとも一種の電源配線が配置され、かつ、該電源配線と上記Nウエル領域またはPウエル領域に形成された拡散層との電氣的接触を行う配線が形成されていることを特徴とする半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体集積回路装置に関わり、特にSRAM (static random access memory) セルのレイアウトおよびこのセルを用いて構成したメモリに関するものである。

【0002】

【従来の技術】

CMOS構成の1ポートSRAMセルは、通常6個のトランジスタで構成されており、従来の公知のレイアウトとして特開平10—178110が知られている。

【0003】

従来のSRAMセルのレイアウトでは、SRAMセルを構成するインバータが形成されたPウエル領域が2つに分割されてNウエル領域の両側に配置され、ウエル境界線がビット線に平行に走るように形成されている。

【0004】

【発明が解決しようとする課題】

微細化が進むにつれ、露光装置の波長をG線からI線さらにエキシマレーザへと短くして対応してきた。しかし、微細化の要求は装置の短波長化の進歩よりも早く、近年では波長以下のパターン寸法を加工する必要に迫られている。パターン寸法が波長以下になると鍵状に曲がったような複雑なパターンではレイアウトに忠実にパターンを形成できなくなり、メモリセルの対称性を崩す原因となる。

【0005】

しかし、従来の公知例では、Pウエル領域の基板へのコンタクトをとるために、拡散層の形を鍵状に曲げる必要があった。このため、対称性が悪く微細化が困難であるという問題があった。

【0006】

【課題を解決するための手段】

そこで、本発明では、第1のNチャネル型MOSトランジスタと第1のPチャ

ネル型MOSトランジスタとを含む第1のインバータと、第2のNチャネル型MOSトランジスタと、第2のPチャネル型MOSトランジスタとを含み、前記第1のインバータの出力端子に入力端子が接続され、前記第1のインバータの入力端子に出力端子が接続された第2のインバータと、前記第1のインバータの出力端子にソースが接続され、第1のビット線にドレインが接続され、ワード線にゲートが接続された第3のNチャネル型MOSトランジスタと、前記第2のインバータの出力端子にソースが接続され、第2のビット線にドレインが接続され、ワード線にゲートが接続された第4のNチャネル型MOSトランジスタとを備え、前記第1および第3のNチャネル型MOSトランジスタは第1のPウエル領域に形成され、その拡散層は曲がりがなく、配置方向が、第1および第2のPチャネル型MOSトランジスタが形成される第1のnウエル領域との境界に対して、平行であり、前記第2および第4のNチャネル型MOSトランジスタは第2のPウエル領域に形成され、その拡散層が曲がりがなく、配置方向が、第1および第2のPチャネル型MOSトランジスタが形成される第1のnウエル領域との境界に対して、平行であることを特徴としている。

【0007】

拡散層の形状としては、また、その外形を直線を主体として構成し、最も長い直線部分が、第1および第2のPチャネル型MOSトランジスタが形成される第1のnウエル領域との境界に対して、平行であり、かつ、その境界に平行な中心線となる直線を規定した場合、その中心線に対して線対称であり、第2および第4のNチャネル型MOSトランジスタは第2のPウエル領域に形成され、その拡散層の外形は直線を主体として構成され、最も長い直線部分が、第1および第2のPチャネル型MOSトランジスタが形成される第1のnウエル領域との境界に対して、平行であり、かつ、その境界に平行な中心線となる直線を規定した場合、その中心線に対して線対称であることとしてもよい。このとき、線対称を行った場合、完全に線対称でなくとも、例えば中心線の左右で拡散層の面積が同じ程度の形状として、若干の非対称も場合により許容するものである。

【0008】

また、前記第3のNチャネル型MOSトランジスタのゲートに用いられる第1の多結晶シリコン配線層と、前記第1のNチャネル型MOSトランジスタのゲートと前記第1のPチャネル型MOSトランジスタのゲートとに用いられる第2の多結晶シリコン配線層とが平行に配置され、前記第4のNチャネル型MOSトランジスタのゲートに用いられる第3の多結晶シリコン配線層と、前記第2のNチャネル型MOSトランジスタのゲートと前記第2のPチャネル型MOSトランジスタのゲートに用いられる第4の多結晶シリコン配線層とが平行に配置され、第1および第3の多結晶シリコン配線層は、ワード線を構成する第2層の金属配線

層とコンタクトを介して接続される。

【0009】

また、前記第1のインバータの入力端子と前記第2のインバータの出力端子がコンタクトで電氣的に接続され、前記第2のインバータの入力端子と前記第1のインバータの出力端子がコンタクトで電氣的に接続されてもよい。

【0010】

また、前記第1、第2のビット線と、前記第1、第2のPチャネル型MOSトランジスタのソースに接続された電源線と、前記第1、第2のNチャネル型MOSトランジスタのソースに接続された接地線とが、第3層の金属配線層で、拡散層と平行に形成されてもよい。

【0011】

また、前記第3層の金属配線層で形成された第1のビット線が前記第3層の金属配線層で形成された電源線と、前記第3層の金属配線層で形成された第1のNチャネル型MOSトランジスタのソースに接続された接地線とに挟まれ、前記第3層の金属配線層で形成された第2のビット線が前記第3層の金属配線層で形成された電源線と、前記第3層の金属配線層で形成された第2のNチャネル型MOSトランジスタのソースに接続された接地線とに挟まれてもよい。

【0012】

あるいは、前記第1、第2のビット線と、前記第1、第2のPチャネル型MOSトランジスタのソースに接続された電源線とが第2層の金属配線層で形成され、ワード線が第3層の金属層で形成され、前記第1、第2のNチャネル型MOSトランジスタのソースに接続された接地線が、第3層および第2層の金属配線層で形成されてもよい。

【0013】

また、前記メモリセルがアレイ状に並べられ、アレイ中およびアレイの上下に、Pウエル領域の基板へのコンタクトおよびNウエル領域の基板へのコンタクトがワード線と平行に直線的に配置されている。以上ではnウエル領域の両側に2つのpウエル領域を配置した例であるが、pウエル領域の両側に2つのnウエル領域を配置することもできる。

【0014】

また、本願発明を適用した半導体記憶装置の他の例においては、少なくとも1対のNウエル領域とPウエル領域とからなるメモリセルをアレイ状に配置したメモリアレイを複数備え、そのメモリアレイの間に少なくとも一つの間隔領域を有し、Nウエル領域とPウエル領域との境界は少なくとも一つの直線部分を有し、Nウエル領域とPウエル領域にそれぞれ形成された拡散層の平面形状は、

(1) 直線部分と平行な長辺を有する長方形の形状、または、(2) 直線部分と

平行な長辺を有する複数の長方形をそれぞれの短辺を介して組み合わせた形状であり、あるいは、

(1) 直線部分と平行な長辺を有する長方形の形状、または、(2) 直線部分と平行な長辺を有する複数の長方形を上記直線部分の方向に延びるように組み合わせた形状であることを特徴とする。

【0015】

少なくともメモリアレイの領域においては、直線部分に平行にビット線が配置され、直線部分に垂直な方向にワード線が配置される。好ましくは、中間領域においては、直線部分に垂直な方向に少なくとも一種の配線が配置され、かつ、電源配線とNウエル領域またはPウエル領域に形成された拡散層との電氣的接触を行う配線（例えばコンタクト）が形成されている。この配線としては電源配線、接地配線、その他の電位の配線が考えられる。

【0016】

本願発明は特に6つのトランジスタから構成されるスタティックRAMのメモリセルを有する半導体記憶装置に好適である。

【0017】

【発明の実施の形態】

以下、本発明に係わる半導体記憶装置の好適ないくつかの事例につき、図面を用いて説明する。

【0018】

〈実施例1〉

図1および図2に本発明のSRAMセルのレイアウトMCを示す。図1は、半導体基板に形成された、ウエル領域、拡散層、多結晶シリコン配線層およびコンタクトが示されており、図2には、第1層の金属配線層、ビアホール1、第2層の金属配線層、ビアホール2および第3層の金属配線層が示されている。図3は、図1および図2で使用する記号の説明である。

【0019】

Pウエル領域PW1に形成されるNチャネル型MOSトランジスタTN1とNウエル領域NW1に形成されるPチャネル型MOSトランジスタTP1によってインバータINV1が構成される。また、Nウエル領域PW1に形成されるNチャネル型MOSトランジスタTN2とNウエル領域NW1に形成されるPチャネル型MOSトランジスタTP2によってインバータINV2が構成される。

【0020】

インバータINV1の出力は、コンタクトSC1によってインバータINV2の入力と電氣的に接続されている。また、インバータINV2の出力は、コンタクトSC2によってインバータINV1の入力と電氣的に接続されている。

【0021】

Nチャネル型MOSトランジスタTN3は、ドレイン電極がビット線BL1に接続され、ソース電極が、Nチャネル型MOSトランジスタTN1のドレインに接続され、ゲート電極は、ワード線WDに接続される。同様に、Nチャネル型MOSトランジスタTN4は、ドレイン電極がビット線BL2に接続され、ソース電極が、Nチャネル型MOSトランジスタTN2のドレインに接続され、ゲート電極は、ワード線WDに接続される。

【0022】

Nチャネル型MOSトランジスタTN1およびNチャネル型MOSトランジスタTN3は、拡散層LN1上に形成され、Nチャネル型MOSトランジスタTN2およびNチャネル型MOSトランジスタTN4は、拡散層LN2上に形成される。Pチャネル型MOSトランジスタTP1は、拡散層LP1上に形成され、Pチャネル型MOSトランジスタTP2は、拡散層LP2上に形成される。

【0023】

拡散層(LN1、LN2、LP1、LP2)は、曲がりなく直線であるため、折れ曲がり部でのパターン補正が必要なく、ノード間のバランスが良くなる。メモリセルをアレイ上に並べた場合、拡散層は、ビット線(BL1、BL2)に平行な4本の直線となる。

【0024】

また、Nチャネル型MOSトランジスタTN3のゲート電極に用いられる多結晶シリコン配線層FG3および、Nチャネル型MOSトランジスタTN4のゲート電極に用いられる多結晶シリコン配線層FG4は、ビット線(BL1、BL2)と垂直方向に第2の金属配線層を用いて形成されるワード線WLに接続されている。Nチャネル型MOSトランジスタTN1およびPチャネル型MOSトランジスタTP1のゲート電極に用いられる多結晶シリコン配線層FG1、Nチャネル型MOSトランジスタTN2およびPチャネル型MOSトランジスタTP2のゲート電極に用いられる多結晶シリコン配線層FG2および多結晶シリコン配線層(FG3、FG4)は、ワード線と平行に配置されている。

【0025】

Nチャネル型MOSトランジスタTN1のソース電極は、第3層の金属配線層で形成された接地電位線Vss1に接続され、Nチャネル型MOSトランジスタTN2のソース電極は、第3層の金属配線層で形成された接地電位線Vss2に接続される。また、Pチャネル型MOSトランジスタ(TP1、TP2)のソース電極は、第3層の金属配線層で形成された電源電位線Vcc1に接続されている。

【0026】

ビット線BL1は、電源電位 V_{cc1} と接地電位 V_{ss1} に挟まれており、ビット線BL2は電源電位 V_{cc1} と接地電位 V_{ss2} に挟まれている。この構造は、ビット線どうしのクロスカプルノイズを低減でき、低電圧、高速動作に効果がある。

【0027】

また、コンタクトホールのエッチ時にサイドスペーサーを削って n -層上にコンタクトが形成された場合、コンタクトから n -層を通して基板に流れ込むことが考えられる。多結晶シリコン配線層と拡散層をつなぐコンタクトを形成する場合、拡散層TP2と多結晶シリコン配線層FG1の間隔をサイドスペーサーの長さよりも長くすることにより、拡散層に n -層が形成されずリーク電流を防ぐことができる。

【0028】

〈実施例2〉

図4に実施例1のメモリセルMCをアレイ状に配列した場合の例を示す。図中の記号は、図3に説明されている。

【0029】

メモリセルMCは例えば、256ロー×128カラム並べられる。実施例1のメモリセルは、ビット線方向の高さが低いため、256ローのメモリセルを並べても、ビット線の長さが従来に比べて短くなるので、高速化できる。隣合うメモリセルMCは、 y 軸に対して線対称に配置され、上下のメモリセルMCは、 x 軸に対して線対称に配置される。また、アレイの途中には、基板への電源を供給するための領域STが、ワード線WDと平行に形成される。領域STは、例えば、メモリセル32ローあるいは、64ロー毎に配置される。

【0030】

Pウエル領域(PW1、PW2)に電位を供給する配線 V_{bn} およびNウエル領域NW1に電位を供給する配線 V_{bp} がワード線と平行に形成される。配線 V_{bn} は、接地電位 V_{ss} と接続してもいいし、 V_{ss} とは異なる電位を供給することができる。また、配線 V_{bp} は、電源電位 V_{cc} と接続してもいいし、 V_{cc} とは異なる電位を供給することもできる。

【0031】

また、領域STでは、電源電位線 V_{cc1} を補強するための電源電位線 V_{cc} がワード線と平行に形成され、接地電位(V_{ss1} 、 V_{ss2})を補強するための接地電位線 V_{ss} がワード線と平行に形成される。

【0032】

また、接地電位線(V_{ss1} 、 V_{ss2})が、ワード線WDと垂直方向に配置されるので、1つのワード線を選択した場合に、このワード線に沿った各メモリセ

ルに対して、1対の接地電位線から電位が供給されるので、電位線のノイズが小さく、アクセスの高速化、低電圧化に効果がある。

【0033】

また、メモリセルMCは、ワード線方向の幅が広いので、センスアンプAMPのレイアウトが容易であり、従来行われていた、メモリセル2カラムで1つのセンスアンプをレイアウトする必要がなく、1カラムに1つのセンスアンプがレイアウトできる。また、ワードドライバ回路w d d r vは従来に比べて偏平なレイアウトとなる。

【0034】

〈実施例3〉

図5および図6に実施例3のSRAMセルのレイアウトMC2を示す。図5および図6で使用される記号の説明を図3に示した。実施例3のメモリセルMC2は実施例1のメモリセルMCと比べて、実施例1では、拡散層(LN1、LN1)の形が羽子板状であるのに対し、実施例3の拡散層(LN3、LN4)が長方形であると点と、コンタクト(SC1、SC2)が、コンタクト(SC3、SC4)と第1層の金属配線層(M11、M12)で置き換えられている点を除いて同一である。

【0035】

通常メモリセルでは、安定性を確保するために、Nチャネル型MOSトランジスタ(TN1、TN2)のゲート幅は、Nチャネル型MOSトランジスタ(TN3、TN4)のゲート幅の1.5倍に設計される。しかし、この場合は、実施例1で示したように、拡散層の形が羽子板状になり、パターン補正(OPC)などの技術が必要となる。また、このために、トランジスタどうしのバランスも悪くなる。これに対して、実施例3では、拡散層(LN3、LN4)が長方形なので、加工が容易で、また、この結果トランジスタのバランスも良くすることができる。ただし、ゲート幅の比が1.0倍になってしまうため、Nチャネル型MOSトランジスタ(TN1、TN2)に比べて、Nチャネル型MOSトランジスタ(TN3、TN4)の酸化膜厚を厚くするか、ゲート長を長くするか、しきい値を高くするか、あるいは電界緩和のための低濃度ドレイン領域の不純物濃度を低くするなどにより駆動力に差をつけていわゆるセルレシオを大きくする必要がある。

【0036】

また、実施例3では、実施例1でインバータINV1の出力とインバータINV2の入力を接続していたコンタクトSC1の代わりに、コンタクトSC3と第1層の金属配線層M11を用いている。このようにすることにより折れ曲がったコンタクトが必要なくなり、パターン補正(OPC)等が必要なくなる。

【0037】

〈実施例 4〉

図 7 および図 8 に実施例 4 の SRAM セルのレイアウト MC 3 を示す。図 7 および図 8 で使用される記号の説明を図 3 に示した。実施例 4 のメモリセル MC 3 は実施例 3 のメモリセル MC 2 と比べて、多結晶シリコン配線層 (FG 5、FG 6、FG 7、FG 8) の形が長方形である点が異なる。このセルでは、折れ曲がりがなく、パターン補正 (OCP) が必要なく、トランジスタどうしのバランスがよくなる。

【0038】

〈実施例 5〉

図 9 および図 10 に実施例 5 の SRAM セルのレイアウト MC 4 を示す。図 9 および図 10 で使用される記号の説明を図 11 に示した。実施例 5 のメモリセル MC 4 は実施例 1 のメモリセル MC と比べて、配線構造が異なる。

【0039】

ビット線 (BL 3、BL 4) および、電源電位線 $V_{cc}2$ は、第 2 層の金属配線層を用いて形成される。ワード線 WD 1 および接地電位線 ($V_{ss}5$ 、 $V_{ss}6$) は、第 3 層の金属配線層を用いてビット線と垂直に形成される。接地電位線 ($V_{ss}3$ 、 $V_{ss}4$) は、第 4 層の金属配線層を用いてビット線と平行に形成される。

【0040】

グローバルビット線 GB は、ビット線を階層化した場合に使用される配線である。グローバルビット線 GB とビット線 (BL 3、BL 4) とは、第 3 層の金属配線層でシールドされているので、クロスカップルノイズを防ぐことができる。また、接地電位線 ($V_{ss}3$ 、 $V_{ss}4$) によって、グローバルビット線 GB どうしのクロスカップルノイズを防ぐことができる。

【0041】

〈実施例 6〉

図 12 および図 13 に実施例 6 の SRAM セルのレイアウト MC 5 を示す。図 12 および図 13 で使用される記号の説明を図 14 に示した。実施例 6 のメモリセル MC 5 は実施例 1 のメモリセル MC と比べて、ゲート電極と拡散層接続するいわゆる 3 層コンタクトの構造が異なる。

【0042】

実施例 1 では L 字状のコンタクト SC 1、SC 2 でゲート電極と拡散層を接続しているが、実施例 6 ではゲート電極と拡散層接続領域 SS 1、SS 2 でシリサイドにより接続している。そのためゲート電極と拡散層を接続するためにコンタクトを L 字状に曲げる必要がなく I 字状の長方形のコンタクト SC 5、SC 6 ができる。コンタクトに折れ曲がりがなく、パターン補正 (OCP) が必要ない。

【0043】

ゲート電極と拡散層接続領域SS1、SS2でシリサイドにより接続する具体的なプロセスフローを図15に示す。

【0044】

ゲート電極FGを多結晶シリコンで形成する(図15(a))。

【0045】

ゲート電極FGの側壁にサイドスペーサSiNをCVDシリコン窒化膜により形成する(図15(b))。

【0046】

アクティブ領域側のサイドスペーサSiNをシリコン窒化膜と酸化膜を高選択でエッチングできる条件でエッチングし取り除く(図15(c))。

【0047】

P型高濃度拡散層P+を形成する(図15(d))。

【0048】

Coなどの高融点金属をスパッタにより堆積し、アニールすることで多結晶シリコンゲート電極と拡散層に選択的にシリサイドを形成する(図15(e))。このときゲート電極の側壁と拡散層とがシリサイドにより接続される。

【0049】

〈実施例7〉

図16および図17に実施例7のSRAMセルのレイアウトMC6を示す。図16および図17で使用される記号の説明を図14に示した。実施例7のメモリセルMC6は実施例6のメモリセルMC5と比べて、コンタクト(SC5、SC6)が、コンタクト(SC7、SC8)と第1層の金属配線層(M11、M12)で置き換えられている点を除いて同一である。

【0050】

実施例7ではすべてのコンタクトを正方形コンタクトにでき、パターン補正(OP)が必要ない。

【0051】

〈実施例8〉

図18および図19に実施例8のSRAMセルのレイアウトMC7を示す。図18および図19で使用される記号の説明を図20に示した。実施例8のメモリセルMC7は実施例1のメモリセルMCと比べて、コンタクト(SC1、SC2)が、ローカルインターコネクト(LI1、LI2)で置き換えられている点と、ワード線が第2層目の金属配線から第1層目の金属配線に、ビット線と電源電位線と接地電位線が第3層目の金属配線から第2層目の金属配線に変更されている点を除いて同一である。図21は図18、19のA-B線に沿った断面図であ

る。

【0052】

実施例1ではコンタクトSC1、SC2は他のコンタクトと同層で形成しているために、SC1、SC2の上に第1層目の金属配線を配置できないという制約がある。実施例8ではコンタクトとは別層のローカルインターコネクトLI1、LI2で形成するために上に第1層目の金属配線を配置でき、実施例1と比較すると金属配線を1層減らす事ができる。

【0053】

〈実施例9〉

図22に実施例9の3層コンタクト部のプロセスフローを示す。実施例9は実施例1、3、4、5、8の3層コンタクト部を形成するプロセスの一例である。

【0054】

近年のLSIでは、コンタクトがホト工程の合せずれにより拡散層やゲート電極から外れてもフィールド酸化膜を削ることがないように、シリコン窒化膜などをストップパにして高選択エッチングでコンタクト穴を加工するのが一般的になってきている。ゲート電極をいわゆるサリサイド技術により低抵抗化する場合は、拡散層形成後に拡散層上とゲート電極上を露出させてシリサイドを形成し、その上にエッチングストップパとしてのシリコン窒化膜を堆積し、層間絶縁膜を更にその上に堆積してからコンタクト穴を形成するために、ゲート電極上のコンタクトと拡散層上のコンタクトをそのまま同時に形成しても両者共に導通を取ることができる。しかし、従来広く用いられてきたポリサイドゲート電極や、近年発表されているポリメタルゲート電極の場合、エッチングストップパとしてのシリコン窒化膜堆積前にはゲート電極上に酸化膜などの絶縁膜が残りゲート電極は露出していないために、その上にシリコン窒化膜を堆積してコンタクトを形成しようとするゲート電極上のコンタクトの底部には酸化膜が残り導通が取れない。実施例9はコンタクト穴を開ける部分のゲート電極上のシリコン窒化膜をあらかじめ取り除いておくことによりゲート電極上コンタクトの導通を確保するものである。

【0055】

以下、図22により実施例9のプロセスフローを説明する。

【0056】

ゲート電極と拡散層P+を形成した後、エッチングストップパとしてシリコン窒化膜SiNを堆積する(図22(a))。ゲート電極は多結晶シリコンPolySiとタングステンWの積層であり、さらにその上に保護膜として酸化膜SiOが積層されている。

【0057】

ゲート電極上のコンタクト穴を開ける部分のシリコン窒化膜をドライエッチング

により取り除く（図 2 2（b））。

【0058】

プラズマ CVD による TEOS 膜などを堆積し、層間絶縁膜を形成する（図 2 2（c））。

【0059】

コンタクト開口部の酸化膜をシリコン窒化膜との高選択ドライエッチングによりエッチングする（図 2 2（d））。高選択エッチングのためシリコン窒化膜はエッチングされずストッパとなる。あらかじめゲート電極上のシリコン窒化膜を取り除いておいた部分はストッパが無いためにゲート電極上までエッチングされる。そのため、ゲート電極上も導通が取れるようになる。

【0060】

シリコン窒化膜を高選択ドライエッチングにより取り除く（図 2 2（e））。

【0061】

コンタクト穴の部分にタングステンなどの金属を埋め込みプラグとする（図 2 2（f））。

【0062】

〈実施例 10〉

図 2 3 に実施例 10 の 3 層コンタクト部のプロセスフローを示す。実施例 10 は実施例 1、3、4、5、8 の 3 層コンタクト部を形成するプロセスの一例である。

【0063】

実施例 10 のプロセスフローは、実施例 9 のプロセスフローと比較して、エッチングストッパのシリコン窒化膜の堆積前にゲート電極上のコンタクト穴を開ける部分の酸化膜を取り除いておく点が異なる。

【0064】

以下、図 2 3 により実施例 10 のプロセスフローを説明する。

【0065】

ゲート電極と拡散層 P+ を形成する（図 2 3（a））。ゲート電極は多結晶シリコン Poly Si とタングステン W の積層であり、さらにその上に保護膜として酸化膜 SiO₂ が積層されている。

【0066】

ゲート電極上のコンタクト穴を開ける部分の酸化膜をドライエッチングにより取り除き、ゲート電極上を露出させる（図 2 3（b））。

【0067】

エッチングストッパとしてシリコン窒化膜 SiN を堆積する（図 2 3（c））。

【0068】

プラズマCVDによるTEOS膜などを堆積し、層間絶縁膜を形成する（図23（d））。

【0069】

コンタクト開口部の酸化膜をシリコン窒化膜との高選択ドライエッチングによりエッチングする（図23（e））。高選択エッチングのためシリコン窒化膜はエッチングされずストッパとなる。

【0070】

シリコン窒化膜を高選択ドライエッチングにより取り除く（図23（f））。シリコン窒化膜堆積前にゲート電極上の酸化膜を取り除いた部分はこのときに露出するために、ゲート電極上も導通が取れるようになる。

【0071】

コンタクト穴の部分にタングステンなどの金属を埋め込みプラグとする（図23（g））。

【0072】

【発明の効果】

本発明によれば、拡散層を必要以上に複雑な形状とならないため、微細化が容易である。

【図面の簡単な説明】

【図1】

実施例1に係わる半導体装置のレイアウト図。

【図2】

実施例1に係わる半導体装置のレイアウト図。

【図3】

実施例1、2、3、4で使用する記号の説明図。

【図4】

実施例2に係わる半導体装置のレイアウト図。

【図5】

実施例3に係わる半導体装置のレイアウト図。

【図6】

実施例3に係わる半導体装置のレイアウト図。

【図7】

実施例4に係わる半導体装置のレイアウト図。

【図8】

実施例4に係わる半導体装置のレイアウト図。

【図9】

実施例5に係わる半導体装置のレイアウト図。

【図 1 0】

実施例 5 に係わる半導体装置のレイアウト図。

【図 1 1】

実施例 5 で使用される記号の説明図。

【図 1 2】

実施例 6 に係わる半導体装置のレイアウト図。

【図 1 3】

実施例 6 に係わる半導体装置のレイアウト図。

【図 1 4】

実施例 6 で使用される記号の説明図。

【図 1 5】

実施例 6 に係わる半導体装置のプロセスフロー断面図。

【図 1 6】

実施例 7 に係わる半導体装置のレイアウト図。

【図 1 7】

実施例 7 に係わる半導体装置のレイアウト図。

【図 1 8】

実施例 8 に係わる半導体装置のレイアウト図。

【図 1 9】

実施例 8 に係わる半導体装置のレイアウト図。

【図 2 0】

実施例 8 で使用される記号の説明図。

【図 2 1】

実施例 8 に係わる半導体装置の断面図。

【図 2 2】

実施例 9 に係わる半導体装置のプロセスフロー断面図。

【図 2 3】

実施例 1 0 に係わる半導体装置のプロセスフロー断面図。

【符号の説明】

MC、MC 2、MC 3、MC 4、MC 5、MC 6、MC 7……SRAMメモリセル

TN 1、TN 2、TN 3、TN 4……Nチャネル型MOSトランジスタ

TP 1、TP 2……Pチャネル型MOSトランジスタ

PW 1、PW 2……Pウエル領域

NW 1、NW……Nウエル領域

FG 1、FG 2、FG 3、FG 4、FG 5、FG 6、FG 7、FG 8、FG……

多結晶シリコン配線層

LN1、LN2、LN3、LN4、LP1、LP2……拡散層

SC1、SC2、SC3、SC4、SC5、SC6、SC7、SC8……コンタクト

INV1、INV2……インバータ回路

WD、WD1……ワード線

BL1、BL2、BL3、BL4……ビット線

Vss、Vss1、Vss2、Vss3、Vss4、Vss5、Vss6……接地電位線

Vcc、Vcc1、Vcc2……電源電位線

Vbp……Nウエル領域へ電位を供給する線

Vbn……Pウエル領域へ電位を供給する線

wdrv……ワードドライバ回路

AMP……センスアンプ回路

M11、M12……第1層の金属配線層

GB……グローバルビット線

SGI……フィールド領域

PolySi……多結晶シリコン

SiN……シリコン窒化膜

SiO……シリコン酸化膜

SS……シリサイド層

TEOS……プラズマCVD TEOS膜

W……タンゲステン

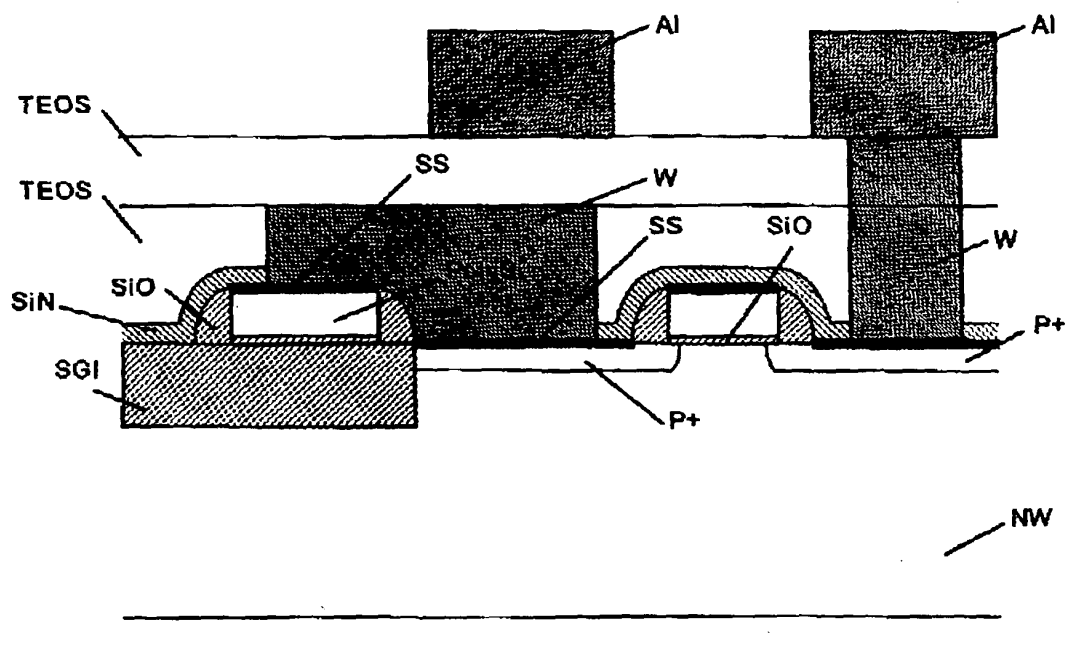
Al……アルミニウム配線層

P+……P型高濃度拡散層。

【書類名】 図面

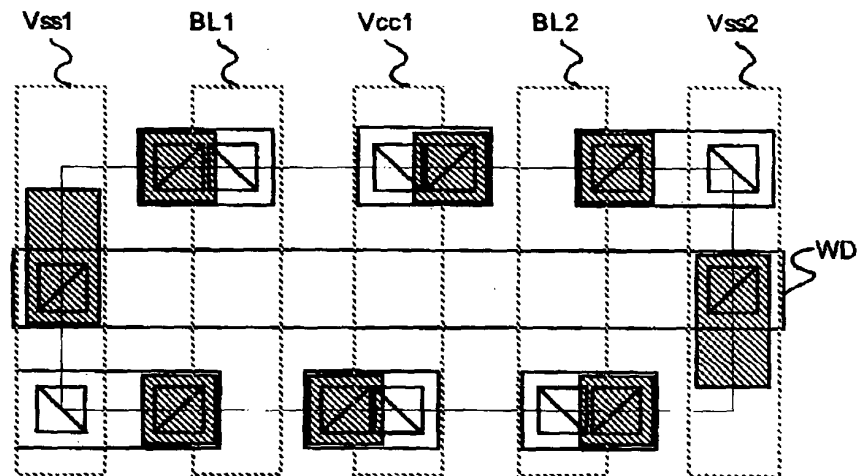
【図1】

図21



【図2】

図2



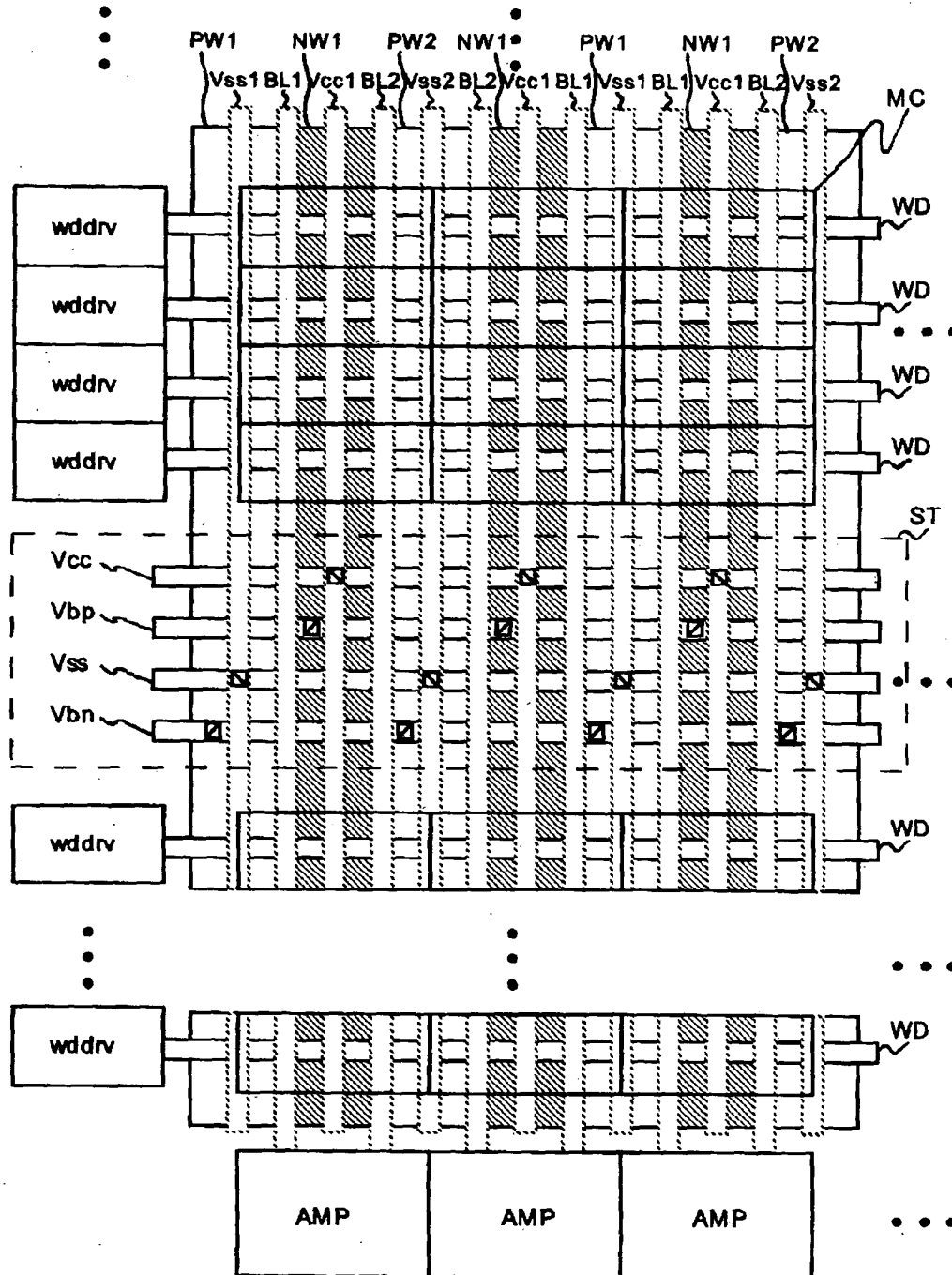
【図3】

図3



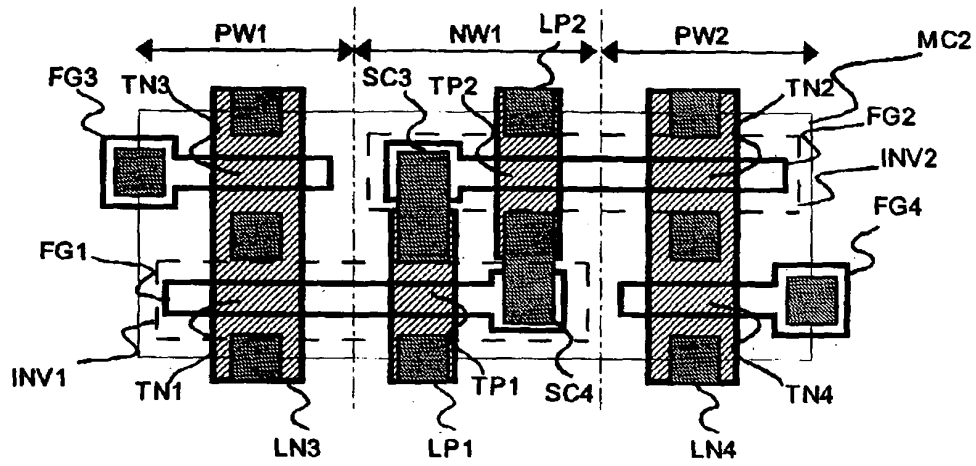
【図4】

図4



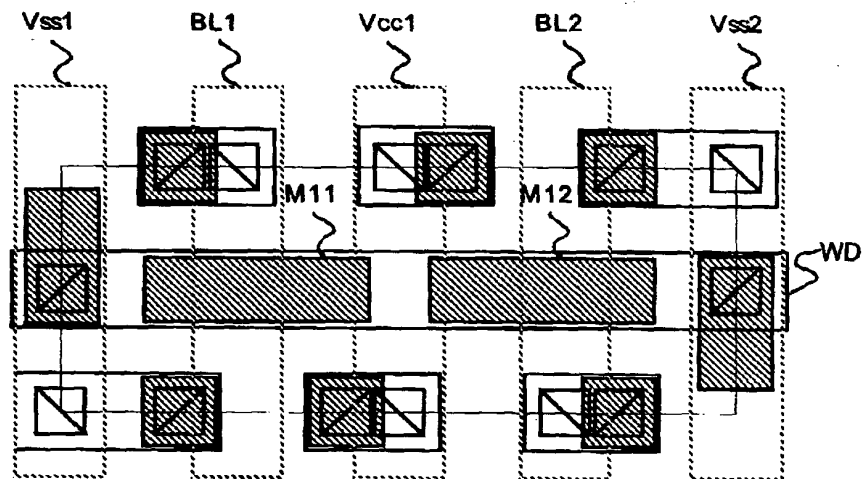
【図5】

図5



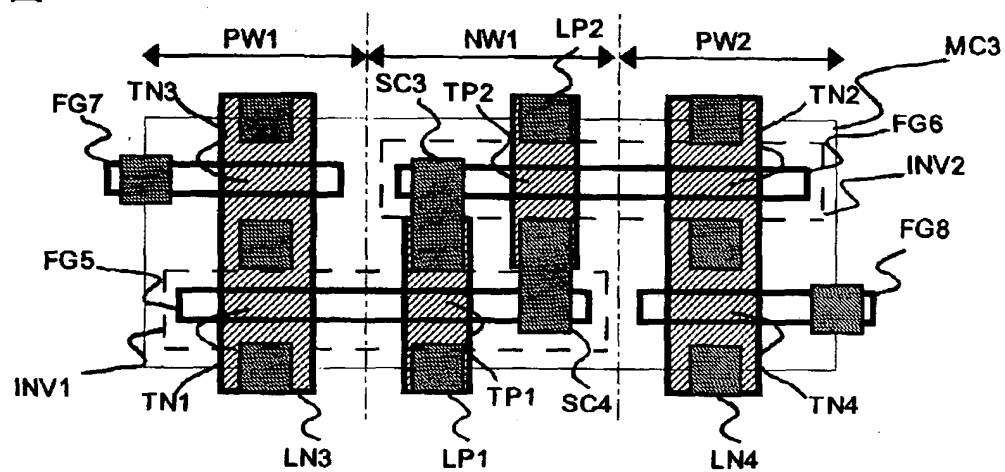
【図6】

図6



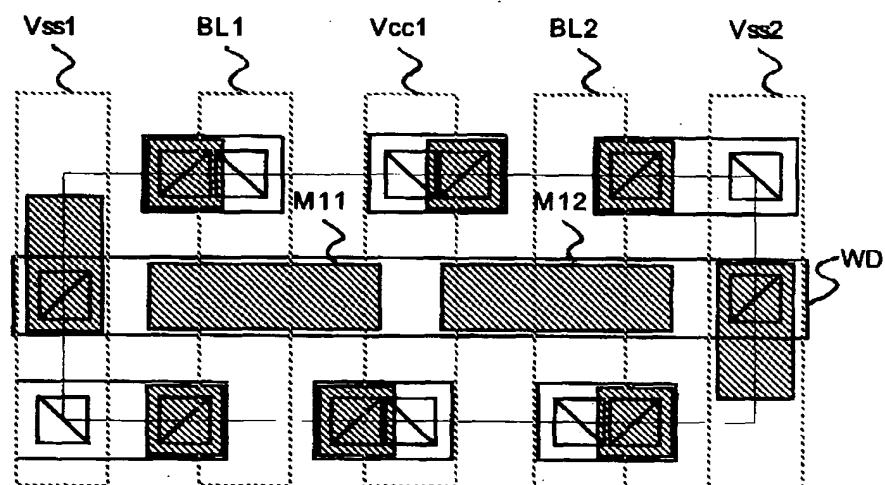
【図7】

図7



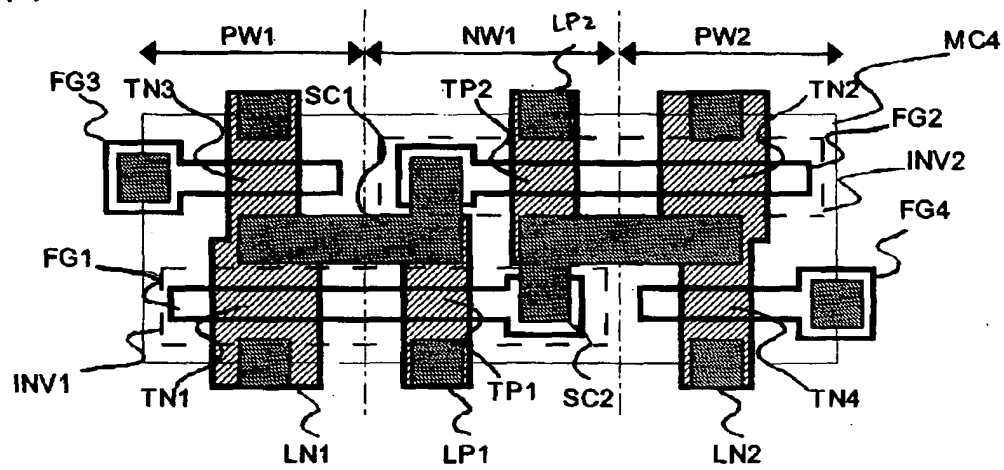
【図8】

図8



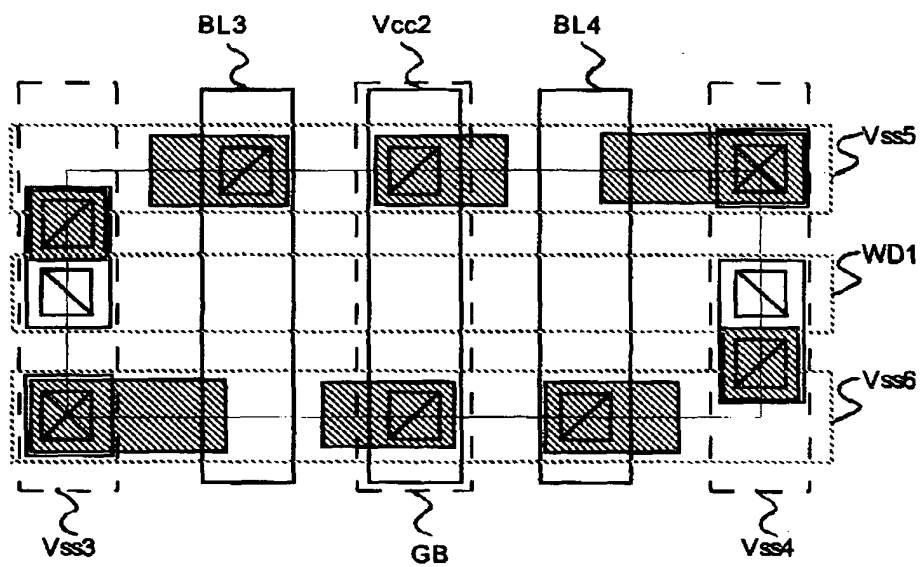
【図9】

図9



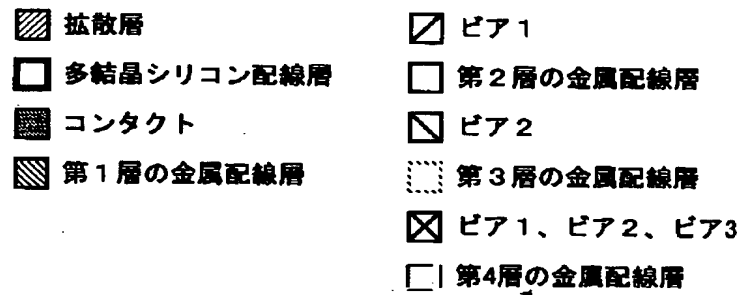
【図10】

図10



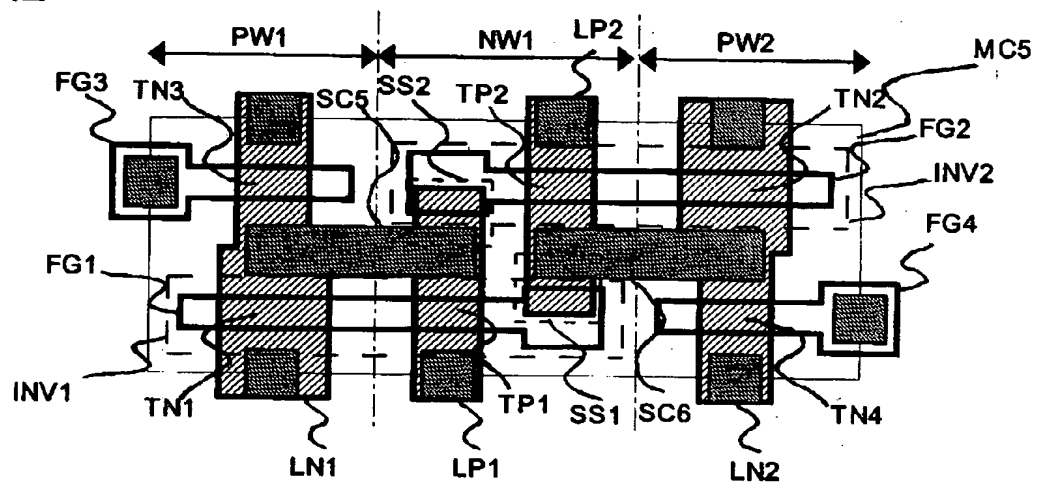
【図 1 1】

図11



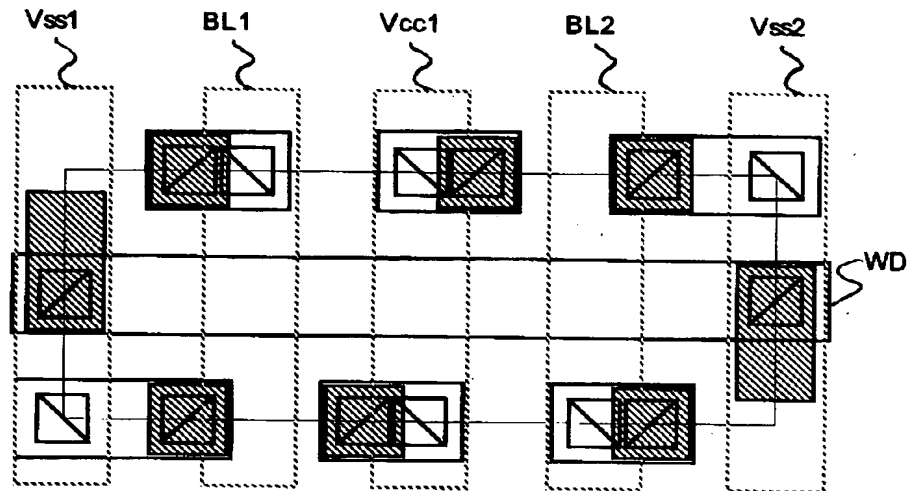
【図 1 2】

図12



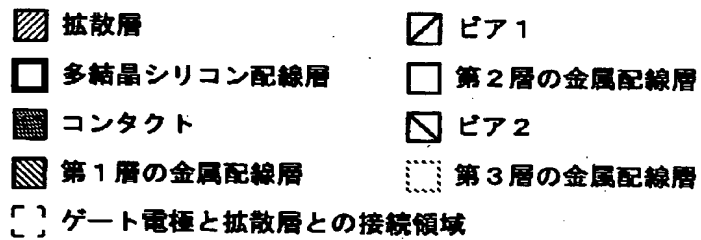
【図 13】

図13



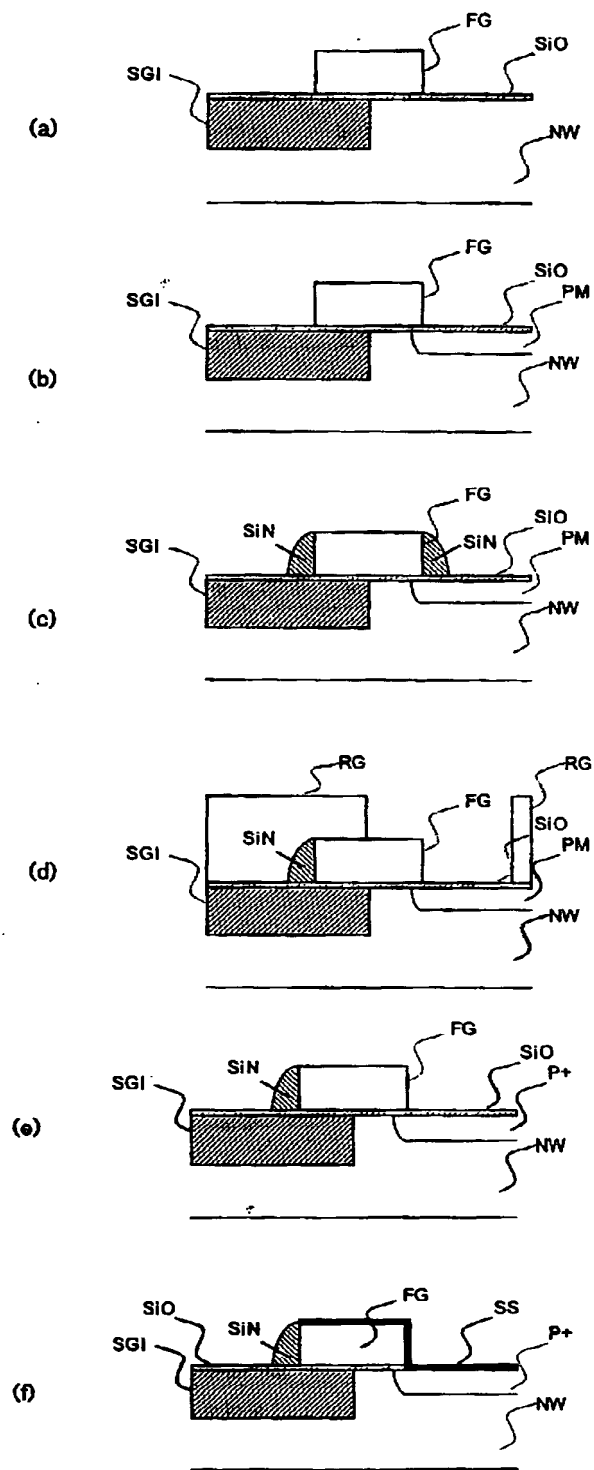
【図 14】

図14



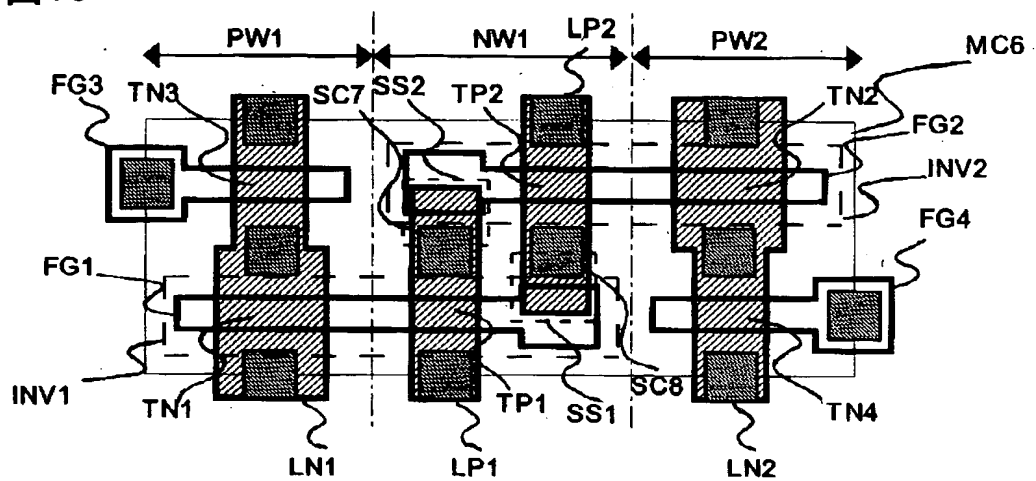
【図 15】

図15



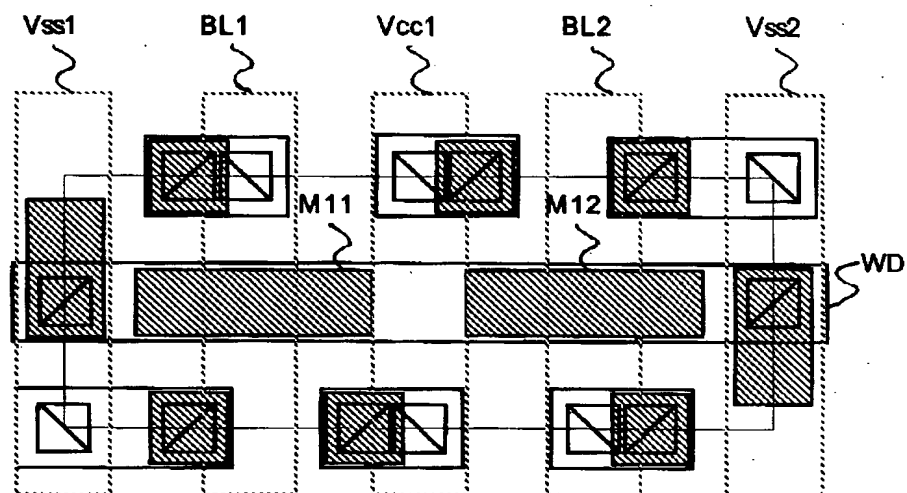
【図16】

図16



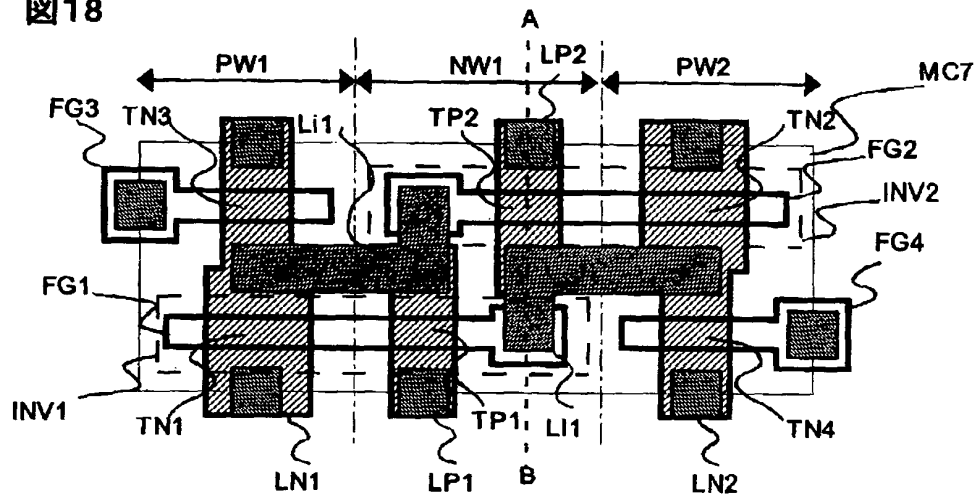
【図17】

図17



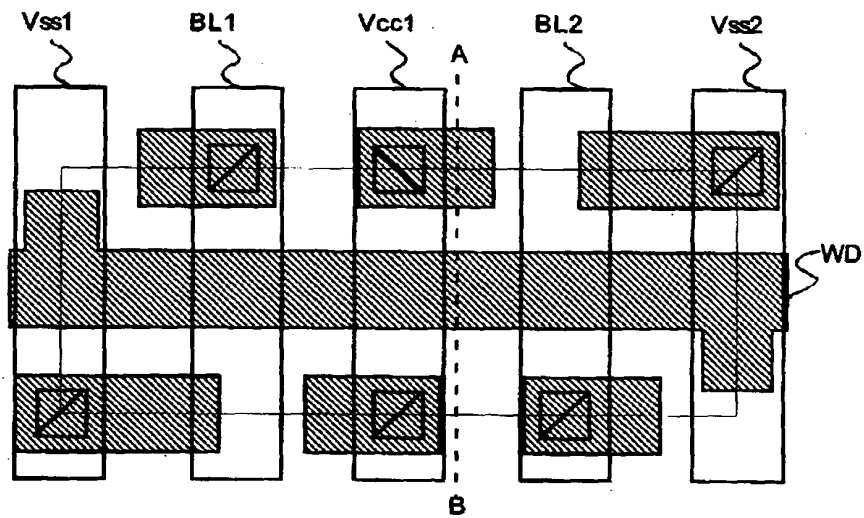
【図18】

図18



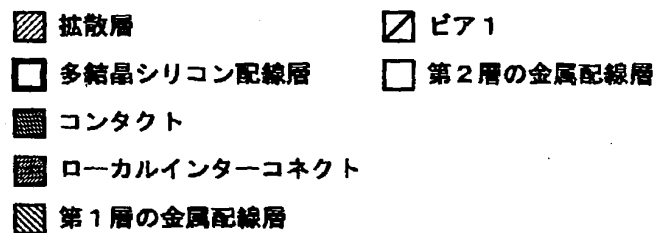
【図19】

図19



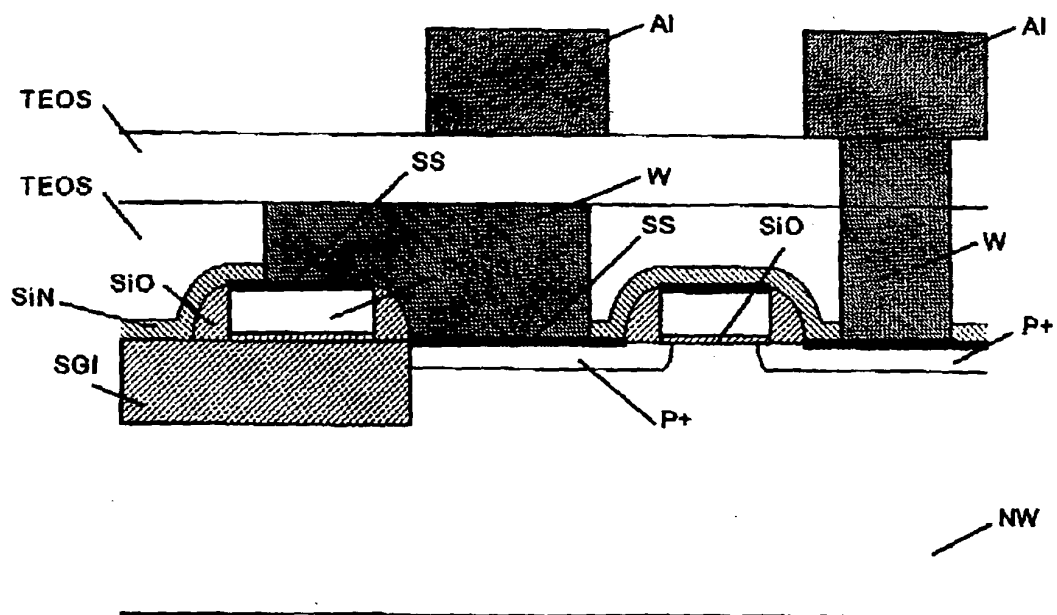
【図20】

図20



【図21】

図21



【图22】

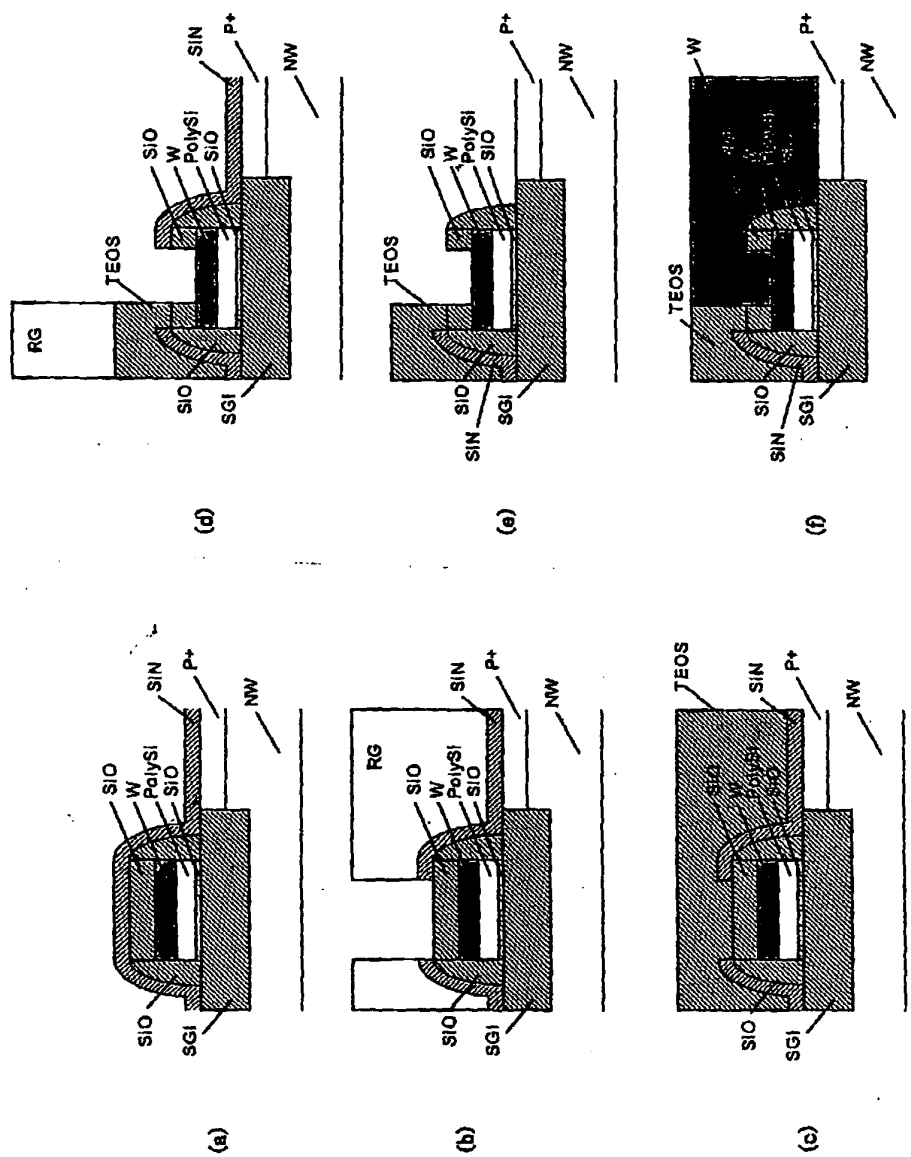


图22

【图 23】

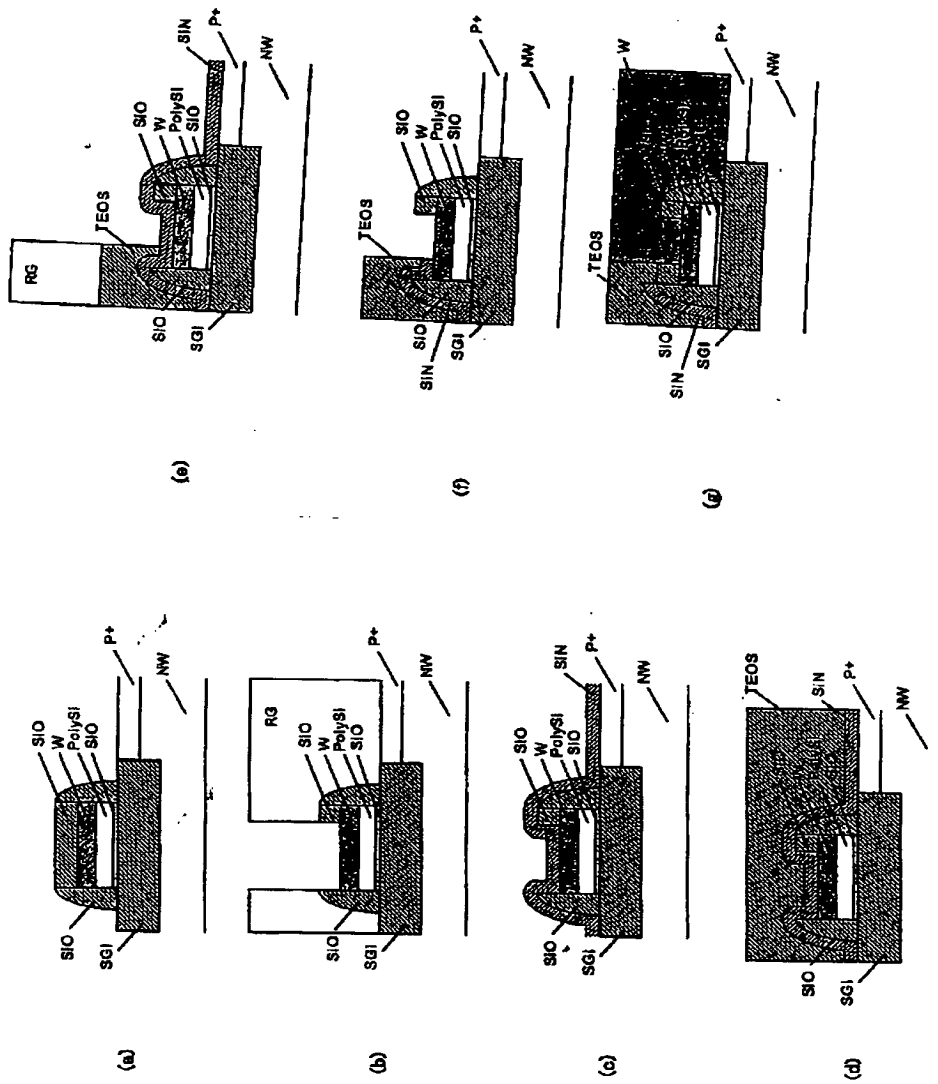


图 23

【書類名】 要約書

【要約】

【課題】本発明は、従来のSRAMメモリセルでは、Pウエル領域の基板へのコンタクトをとるために、拡散層の形を鍵状に曲げる必要があった。このため、対称性が悪く微細化が困難であるという問題があった。

【解決手段】SRAMセルを構成するインバータが形成されたPウエル領域PW1、PW2が2つに分割されてNウエル領域NW1の両側に配置され、トランジスタを形成する拡散層に曲がりがなく、配置方向が、ウエル境界線やビット線に平行に走るように形成される。アレイの途中には、基板への電源を供給するための領域が、メモリセル32ローあるいは、64ロー毎に、ワード線と平行に形成される。

【効果】本発明によれば、拡散層が複雑な形状とならず、微細化が容易である。

【選択図】 図1

[Name of Document] Japanese Patent Application

[Reference Number] H99001041A

[Submission Date] May 12, 1999 (Heisei 11)

[Destination] Director-General of the Japanese Patent
Office

[International Patent Classification] H01L 27/10

[Inventor]

[Address or Residence] c/o Central Research
Laboratory, Hitachi, Ltd., 280, Higashi-Koigakubo 1-chome,
Kokubunji-shi, Tokyo

[Name] Kenichi OSADA

[Inventor]

[Address or Residence] c/o Central Research
Laboratory, Hitachi, Ltd., 280, Higashi-Koigakubo 1-chome,
Kokubunji-shi, Tokyo

[Name] Masataka MINAMI

[Inventor]

[Address or Residence] c/o Central Research
Laboratory, Hitachi, Ltd., 280, Higashi-Koigakubo 1-chome,
Kokubunji-shi, Tokyo

[Name] Shuji IKEDA

[Inventor]

[Address or Residence] c/o Central Research
Laboratory, Hitachi, Ltd., 280, Higashi-Koigakubo 1-chome,
Kokubunji-shi, Tokyo

[Name] Koichiro ISHIBASHI

[Applicant]

[Identification No.] 000005108

[Name or Title] Hitachi, Ltd.

[Agent]

[Identification No.] 100075096

[Patent Attorney]

[Name or Title] Yasuo SAKUTA

[Telephone No.] 03-3212-1111

[Representation of Fee]

[Ledger Number for Prepayment] 013088

[Amount of payment] ¥21,000

[Contents of Submitted Documents]

[Name of Document]	Specification	One
--------------------	---------------	-----

[Name of Document]	Drawing	One
--------------------	---------	-----

[Name of Document]	Abstract	One
--------------------	----------	-----

[Requirement of Proof] Yes.

[Document's Name] SPECIFICATION

[Title of the Invention] SEMICONDUCTOR INTEGRATED CIRCUIT
DEVICE

[Claims]

[Claim 1]

A semiconductor memory device comprising a first inverter including a first N-channel metal oxide semiconductor (MOS) transistor and a first P-channel MOS transistor; a second inverter including a second N-channel MOS transistor and a second P-channel MOS transistor with an input terminal being connected to an output terminal of said first inverter and with an output terminal being connected to an input terminal of said first inverter; a third N-channel MOS transistor having a source connected to the output terminal of said first inverter and a drain connected to a first bit line and also a gate connected to a word line; and a fourth N-channel MOS transistor having a source connected to the output terminal of said second inverter and a drain connected to a second bit line plus a gate connected to a word line, wherein the first and third N-channel MOS transistors are formed in a first P-type well region, its diffusion layer having an outer shape consisting essentially of straight lines including a straight line portion with a maximal length extending parallel to a boundary relative to a first N-type well region with the

first and second P-channel MOS transistors formed therein and also being linear symmetrical with respect to a straight line defined as a center line extending parallel to the boundary, and wherein the second and fourth N-channel MOS transistors are formed in a second P-type well region, its diffusion layer having an outer shape consisting essentially of straight lines including a straight line portion with a maximal length extending parallel to the boundary relative to the first n-type well region with said first and second P-channel MOS transistors formed therein and also being linear symmetrical with the straight line defined as the center line in parallel to the boundary.

[Claim 2]

A semiconductor memory device according to claim 1, wherein a first polycrystalline silicon lead layer for use as the gate of said third N-channel MOS transistor and a second polycrystalline silicon lead layer for use as the gate of said first P-channel MOS transistor and also as the gate of said first N-channel MOS transistor are disposed in parallel to each other, wherein a third polycrystalline silicon lead layer for use as the gate of said fourth N-channel MOS transistor and a fourth polycrystalline silicon lead layer for use as the gate of said second N-channel MOS transistor and also as the gate of said second P-channel MOS transistor are disposed in parallel to each

other, and wherein the first and third polycrystalline silicon lead layers are connected via a contact to a second layer of metal lead layer constituting word lines.

[Claim 3]

A semiconductor memory device according to claim 1, wherein the input terminal of said first inverter and the output terminal of said second inverter are electrically connected together at a contact whereas the input terminal of said second inverter and the output terminal of said first inverter are electrically connected together at a contact.

[Claim 4]

A semiconductor memory device according to claim 1, wherein a power supply line connected to the first and second bit lines and the sources of said first and second P-channel MOS transistors and a ground line connected to the sources of said first and second N-channel MOS transistors are formed or a third layer of metal lead layer lying parallel to a diffusion layer.

[Claim 5]

A semiconductor memory device according to claim 4, wherein the first bit line formed of said third layer of metal lead layer is between a power supply line formed of said third layer of metal lead layer and a ground line as connected to the source of said first N channel MOS transistor formed of said third layer of metal lead layer whereas the second bit

line formed of said third layer of metal lead layer is between a power supply line formed of said third layer of metal lead layer and a ground line as connected to the source of said second N-channel MOS transistor formed of said third layer of metal lead layer.

[Claim 6]

A semiconductor memory device according to claim 1, wherein the first and second bit lines and a power supply line connected to the sources of said first and second P-channel MOS transistors are formed of a second layer of metal lead layer, wherein word lines are formed of a third layer of metal lead layer, and wherein a ground line connected to the sources of said first and second N-channel MOS transistors is formed of the third layer and second layer of metal lead layer.

[Claim 7]

A semiconductor memory device according to claims 1 through 6, wherein memory cells each similar in configuration to said memory cell are laid out in form of an array, and wherein contacts to a substrate of P-type well region and a contact to a substrate of N-type well region are linearly disposed within the array and at upper and lower portions of the array in a direction parallel to the word lines.

[Claim 8]

A semiconductor memory device comprising:

a first inverter having a first N-channel MOS transistor and a first P-channel MOS transistor;

a second inverter having a second N-channel MOS transistor and a second P-channel MOS transistor with an input terminal being connected to an output terminal of said first inverter and with an output terminal being connected to an input terminal of said first inverter;

a third N-channel MOS transistor having a source connected to the output terminal of said first inverter, a drain connected to a first bit line, and a gate connected to a word line; and

a fourth N-channel MOS transistor having a source connected to the output terminal of said second inverter, a drain connected to a second bit line, and a gate connected to a word line,

wherein the first and third N-channel MOS transistors are formed in a first P-type well region, a diffusion layer formed in said first P-type well region has a shape as resulting from letting a rectangle having long sides in a direction parallel to a boundary relative to a first N type well region with the first and second P-channel MOS transistors formed therein be connected in the parallel direction, the second and fourth N-channel MOS transistors are formed in a second P-type well region, and a diffusion

layer formed in said second P-type well region has a shape as resulting from letting a rectangle having long sides in a direction parallel to the boundary relative to the first n-type well region with said first and second P-channel MOS transistors formed therein be connected in the parallel direction.

[Claim 9]

A semiconductor device comprising first and second inverters with an output of each inverter being as an input of a remaining inverter, a first switch connected to a connection node between an output of the first inverter and an input of the second inverter, and a second switch connected to a connection node between an input of said first inverter and an output of said second inverter, wherein

said semiconductor device has an N-type well region and first and second P-type well regions as disposed on opposite sides of said N-type well region,

a diffusion layer formed in each of said N-type well region and said first and second P-type well regions is arranged in planar shape to have one of (1) a shape consisting essentially of a single rectangle having long sides in an elongate direction of a boundary line of said N-type well region and said first and second P-type well regions and (2) a shape resulting from combination of a plurality of rectangles in the elongate direction of the boundary line

of said N-type well region and said first and second P-well regions, the rectangles having long sides in said elongate direction.

[Claim 10]

A semiconductor device according to claim 9, wherein the diffusion layer formed in said N-type well region and P-type regions has its planar shape resembling a single rectangle having long sides in the elongate direction of boundary lines of said N-type well region and said first and second P-type well regions.

[Claim 11]

A semiconductor device according to claim 9 or 10, wherein the diffusion layer formed in said N-type well region or P-type region has its planar shape of a combined form as resulting from combination of a first rectangle having long sides in the elongate direction of boundary lines of said N-type well region and said first and second P-type well regions along with a short side of a first length and a second rectangle having long sides in the elongate direction of the boundary lines of said N-type well region and said first and second P-type well regions along with a short side of a second length, the combination being in the elongate direction of said boundary lines.

[Claim 12]

A semiconductor device according to any of claims 9

through 11, wherein

said first inverter is formed of a first N-channel MOS transistor and a first P-channel MOS transistor as formed using the first P-type well region and N-type well region,

said second inverter is formed of a second N-channel MOS transistor and a second P-channel MOS transistor as formed using the second P-type well region and N-type well region,

said first switch is formed of a third N-channel MOS transistor as formed in said first P-type well region, and

said second switch is formed of a fourth N-channel MOS transistor formed in said second P-type well region.

[Claim 13]

A semiconductor device according to any of claims 9 through 12, wherein the first and second inverters and the first and second switches constitute a static memory cell, wherein a plurality of memory cells each similar in structure to said static memory cell are provided to constitute a memory array, and wherein bit lines are disposed parallel to an elongate direction of more than one boundary line of said N-type well region and said first and second P-type well regions whereas word lines are disposed in a direction perpendicular to the boundary line.

[Claim 14]

A semiconductor memory device according to any of

claims 9 through 13, wherein said device further comprises a plurality of memory arrays each similar in structure to said memory array, and an intermediate region between said memory arrays for causing at least one of a contact to a substrate of P-type well region and a contact to a substrate of N-type well region to be disposed therein.

[Claim 15]

A semiconductor device according to claim 14, wherein an electrical lead having a specified voltage potential is disposed within said intermediate region in parallel to said word lines, and wherein said contact is for electrical connection between the lead and the substrate.

[Claim 16]

A semiconductor memory device comprising:

a plurality of memory arrays each including an array of memory cells each having at least a pair of N-type well region and P-type well region;

at least one intermediate region between the memory arrays;

said N-type well region and P-type well region defining therebetween a boundary with at least one straight line portion;

a diffusion layer formed in each of said P-type well region and P-type well region to have a planar shape of one of (1) a shape of rectangle having long sides extending

parallel to said straight line portion and (2) a shape resulting from letting a plurality of rectangles having long sides extending parallel to said straight line portion be combined together via respective short sides thereof;

bit lines disposed parallel to said straight line portion along with word lines disposed in a direction perpendicular to said straight line portion; and

said intermediate region including at least one type of power supply lead as disposed therein and extending in the direction perpendicular to said straight line portion and also a lead formed therein for electrical contact between the power supply lead and the diffusion layer as formed in said N-type well region or P-type well region.

[Description of the Invention]

[0001]

[Field of Industrial Application]

The present invention relates generally to semiconductor integrated circuit devices and, more particularly, to layout schemes of static random access memory (SRAM) cells. The invention also relates to semiconductor memory devices using such cells.

[0002]

[Prior Art]

One-port SRAM cells with complementary metal oxide semiconductor (CMOS) configurations are typically designed

so that each cell consists essentially of six separate transistors. An exemplary layout of such cells has been disclosed in, for example, JP-A-10-178110 (laid open on June 30, 1998).

[0003]

In the prior known SRAM cell layout, a semiconductive well region of P type conductivity with inverters formed therein is subdivided into two subregions, which are disposed on the opposite sides of an N-type well region while permitting a well boundary line to extend in a direction parallel to bit lines.

[0004]

[Problems to be Solved by the Invention]

The quest for higher integration and ultra-fine patterning techniques in modern memory devices requires optical exposure apparatus or equipment to decrease in wave length of beams used therein. To this end, the equipment is designed to employ exposure beams of shorter wavelength, which have advanced from G line to I line, and further to excimer laser. Unfortunately the requirements for micro-patterning architectures grow more rapidly than technological advance in trend of shortening wavelengths in such equipment. In recent years, it is strictly required that micro-patterning is done with the minimum device-feature length that shrinks to less than or equal to

the wavelength of an exposure beam used. This minimum feature length shrinkage would result in the layout of IC components-here, memory cells-becoming more complicated in planar shape, which must require the use of irregular polygonal layout patterns including key-shaped components, in order to achieve the intended configuration of on-chip circuitry with enhanced accuracy. This makes it impossible or at least very difficult to microfabricate ultrafine layout patterns while disadvantageously serving as the cause of destruction of the symmetry of memory cells.

[0005]

Regrettably the prior art approach is associated with a need to curve or bend a diffusion layer into a complicated key-like shape for the purpose of making electrical contact with a substrate of the P-type well region. Thus, the prior art suffers from a problem as to degradation of the symmetrization of cell layout pattern, making difficult successful achievement of microfabrication architectures for higher integration densities.

[0006]

[Means to Solve the Problems]

In accordance with one aspect of the present invention, a semiconductor device is provided which comprises a first inverter including a first N-channel metal oxide semiconductor (MOS) transistor and a first P-channel MOS

transistor, a second inverter including a second N-channel MOS transistor and a second P-channel MOS transistor with an input terminal being connected to an output terminal of the first inverter and with an output terminal being connected to an input terminal of the first inverter, a third N-channel MOS transistor having a source connected to the output terminal of said first inverter and a drain connected to a first bit line and also a gate connected to a word line, and a fourth N-channel MOS transistor having a source connected to the output terminal of said second inverter and a drain connected to a second bit line plus a gate connected to a word line, wherein the first and third N-channel MOS transistors are formed in a first P-type well region, wherein the diffusion layer has no curved or bent portions while letting the direction of layout be parallel to the boundary with respect to the first N-well region with the first and second P-channel MOS transistors formed therein, and wherein said second and fourth N-channel MOS transistors are formed in the second P-type well region whose diffusion layer has no bent portions while letting the layout direction be parallel to the boundary with respect to the first N-well region with the first and second P-channel MOS transistors formed therein.

[0007]

The diffusion layer is arranged to have its outer shape

that mainly consists of straight line segments including the longest straight line portion which lies parallel to the boundary with respect to the first n-well region with the first and second P-channel MOS transistors formed therein, and simultaneously in the case of defining a straight line acting as the center line extending parallel to such boundary, the longest line portion is in linear symmetry with such center line; the second and fourth N-channel MOS transistors are formed in the second P-well region whose diffusion layer is mainly arranged by straight line segments including its longest straight line portion that is parallel to the boundary with respect to the first n-well region with the first and second P-channel MOS transistors formed therein while allowing, when defining a straight line for use as the center line extending parallel to such boundary, the line portion to be linearly symmetrical with the center line. At this time, in the case of employing the linear symmetrization scheme, complete linear symmetry will not always be required; alternatively, slight nonsymmetry may also be permissible on a case-by-case basis, which nonsymmetry results from modifying the diffusion layer to have a shape with its portions on the right and left sides of the center line being substantially the same in area as each other by way of example.

[0008]

In accordance with another aspect of this invention, a first polycrystalline silicon lead layer for use as the gate of said third N-channel MOS transistor and a second polycrystalline silicon lead layer for use as the gate of said first P-channel MOS transistor and also as the gate of said first N-channel MOS transistor are disposed in parallel to each other, wherein a third polycrystalline silicon lead layer for use as the gate of the fourth N-channel MOS transistor and a fourth polycrystalline silicon lead layer for use as the gate of said second N-channel MOS transistor and also as the gate of said second P-channel MOS transistor are disposed in parallel to each other, and wherein the first and third polycrystalline silicon lead layers are connected via a contact to a second layer of metal lead layer constituting word lines.

[0009]

In accordance with a further aspect of the invention, the input terminal of said first inverter and the output terminal of said second inverter may be electrically connected together at a contact whereas the input terminal of said second inverter and the output terminal of said first inverter are electrically connected together at a contact.

[0010]

In accordance with yet another further aspect of the invention, a power supply line connected to the first and

second bit lines and the sources of said first and second P-channel MOS transistors and a ground line connected to the sources of said first and second N-channel MOS transistors may be formed of a third layer of metal lead layer lying parallel to a diffusion layer.

[0011]

In accordance with a still another aspect of the invention, the first bit line formed of said third layer of metal lead layer may be arranged so that it is between a power supply line formed of said third layer of metal lead layer and a ground line as connected to the source of said first N-channel MOS transistor formed of said third layer of metal lead layer whereas the second bit line formed of said third layer of metal lead layer is between a power supply line formed of said third layer of metal lead layer and a ground line as connected to the source of said second N-channel MOS transistor formed of said third layer of metal lead layer.

[0012]

In accordance with another further aspect of the invention, the first and second bit lines and a power supply line connected to the sources of said first and second P-channel MOS transistors may be formed of a second layer of metal lead layer, wherein word lines are formed of a third layer of metal lead layer, and wherein a ground line connected to the sources of said first and second N-channel

MOS transistors is formed of the third layer and second layer of metal lead layer.

[0013]

In accordance with a still another further aspect of the invention, memory cells are laid out into the form of an array, wherein contacts to a substrate of P-type well region and a contact to a substrate of N-type well region are linearly disposed within the array and at upper and lower portions of the array in a direction parallel to the word lines. Although the above is an example which causes two separate P-well to be disposed on the opposite sides of an N-well region, two N-well regions may be disposed on the opposite sides of a p-well region when the need arises.

[0014]

In accordance with yet another further aspect of the invention, a semiconductor device is provided which comprises a plurality of memory arrays each including an array of memory cells each having at least a pair of N-type well region and P-type well region, and at least one intermediate region between the memory arrays, wherein the N-type well region and P-type well region defines therebetween a boundary with at least one straight line portion, and wherein a diffusion layer is formed in each of the P-type well region and P-type well region to have a planar shape of either (1) a shape of rectangle having long sides

extending parallel to said straight line portion or (2) a shape resulting from letting a plurality of rectangles having long sides extending parallel to the straight line portion be combined together via respective short sides thereof; or alternatively,

(1) a shape of rectangle having long sides parallel to said straight line portion or (2) a shape resulting from letting a plurality of rectangles having long sides parallel to said straight line portion be combined together causing them to extend in the direction of the straight line.

[0015]

At least in memory array regions, bit lines are laid out in a direction parallel to the straight line portion whereas word lines are disposed in a direction perpendicular to the straight portion. Preferably, in the intermediate region, at least one type of electrical lead is railed in a direction at right angles to the straight portion, and a lead (e.g. contact) is also formed which is for making electrical contact between a power supply voltage lead and the diffusion layer as formed in the N-well region or P-well region. This lead may include a power supply lead, ground lead, or other potential leads.

[0016]

The invention is particularly useful for those semiconductor memory devices having static RAM memory cells

each consisting essentially of six separate transistors.

[0017]

Several preferred embodiments of the semiconductor memory device in accordance with the present invention will be explained with reference to the accompanying drawings below.

[0018]

<Embodiment 1>

Referring to Figs. 1 and 2, there is shown an SRAM cell layout MC embodying the invention. Fig. 1 illustrates well regions and diffusion layers plus polycrystalline silicon interconnect lead layer as well as contacts all of which are formed in or over a semiconductor substrate whereas Fig. 2 depicts a first layer of metal lead layer, via holes 1, second layer of metal lead layer, via holes 2, and a third layer of metal lead layer. Symbols used in Figs. 1 and 2 are explained in Fig. 3.

[0019]

An N-channel type MOS transistor TN1 formed in a P-type semiconductive well region PW1 and a P-channel type MOS transistor TP1 formed in an N-type well region NW1 constitute an inverter INV1. In addition, an N-channel MOS transistor TN2 formed in P-type well region PW2 and a P-channel MOS transistor TP2 formed in N-type well region NW1 constitute an inverter INV2.

[0020]

An output of the inverter INV1 is electrically connected via a contact SC1 to an input of the inverter INV2. An output of the inverter INV2 is electrically connected via a contact SC2 to an input of the inverter INV1.

[0021]

An N-channel MOS transistor TN3 has a drain electrode connected to a bit line BL1, a source electrode connected to a drain of the N-channel MOS transistor TN1, and a gate electrode connected to a word line WD. Similarly an N-channel MOS transistor TN4 has a drain electrode connected to a bit line BL2, a source electrode connected to a drain of the N-channel MOS transistor TN2, and a gate electrode connected to word line WD.

[0022]

The N-channel MOS transistor TN1 and N-channel MOS transistor TN3 are formed over a diffusion layer LN1 whereas the N-channel MOS transistor TN2 and N-channel MOS transistor TN4 are formed over a diffusion layer LN2. The P-channel MOS transistor TP1 is formed over a diffusion layer LP1 whereas the P-channel MOS transistor TP2 is formed over a diffusion layer LP2.

[0023]

As the diffusion layers (TN1, LN2, LP1, LP2) are straight lines with no curved portions, any pattern

correction at folded portions is no longer necessary, resulting in the balance between nodes being improved. In case memory cells are laid out into the form of an array, the diffusion layers become four separate straight lines extending parallel to the bit lines (BL1, BL2).

[0024]

In addition, a polycrystalline silicon interconnect lead layer FG3 for use as the gate electrode of the N-channel MOS transistor TN3 and a polycrystalline silicon lead layer FG4 for use as the gate electrode of N-channel MOS transistor TN4 are connected to word lines WL which are formed of the second metal lead layer in a vertical direction to the bit lines (BL1, BL2). A polycrystalline silicon interconnect lead layer FG1 for use as the gate electrodes of the N-channel MOS transistor TN1 and P-channel MOS transistor TP1 and a polycrystalline silicon interconnect lead layer FG2 for use as the gate electrode of the N-channel MOS transistor TN2 and P-channel MOS transistor TP2 plus the polycrystalline silicon lead layers (FG3, FG4) are disposed in parallel to the word lines.

[0025]

The N-channel MOS transistor TN1 has its source electrode connected to a ground potential line Vss1 that is formed of the third layer of metal lead layer whereas a source electrode of the N-channel MOS transistor TN2 is connected

to a ground line Vss2 as formed of the third layer of metal lead layer. In addition, source electrodes of the P-channel MOS transistors (TP1, TP2) are connected to a power supply voltage line Vcc1 which is formed of the third layer of metal lead layer.

[0026]

The bit line BL1 is located midway between the power supply voltage line Vcc1 and ground line Vss1 whereas bit line BL2 is between the supply voltage line Vcc1 and ground line Vss2. This structure makes it possible to reduce cross-couple noises occurring between bit lines, which advantageously lowers voltages while increasing operation speeds.

[0027]

In addition, it is considered that, in case a contact is formed on an n⁻ layer through partial cutaway of side spacers during etching of contact holes, a leakage current from the contact via the n⁻ layer to the substrate may be produced. When a contact is formed for connection between a polycrystalline silicon lead layer and a diffusion layer, a distance between the diffusion layer LP2 and polycrystalline silicon lead layer FG1 should be greater than the length of a side spacer to thereby eliminate formation an n⁻ layer on the polycrystalline silicon lead layer FG1 side of the diffusion layer LP2, which in turn makes

it possible to prevent a flow of leakage current.

[0028]

<Embodiment 2>

Turning to Fig. 4, there is shown an exemplary case where the memory cells MC of Embodiment 1 are laid out into the form of an array. Symbols used herein are the same as those indicated at lower part of Fig. 3.

[0029]

The memory cells MC are organized into an array of 256 rows and 128 columns, by way of example. In view of the fact that these memory cells in Embodiment 1 are less in length in the longitudinal direction of bit lines, a total length of such 256 rows of memory cells along the bit lines is shorter than that of prior art devices, thus increasing resultant operation speeds. Neighboring memory cells MC are disposed in linear symmetry with respect to a "y" axis whereas upper and lower adjacent memory cells MC i linear symmetry with an "x" axis. In addition, specified regions ST for use in supplying more than one power supply voltage to the substrate are formed at intermediate part of the array in such a manner that the regions ST extend parallel to word lines WD. One example is that the regions ST are laid out in units of 32-row groups. Another example is that regions ST are disposed in units of 64-row groups.

[0030]

An electrical lead Vbn for supplying a voltage potential to the P-well regions (PW1, PW2) and a lead Vbp for supplying a voltage to the N-well region NW1 are formed to lie parallel to word lines. The lead Vbn may be coupled to ground potential Vss or, alternatively, any voltage may be applied thereto which is potentially different from ground Vss. The lead Vbp may be coupled to the power supply voltage Vcc or, alternatively, any voltages potentially different from Vcc may be applied thereto.

[0031]

Note that in each region ST, a power supply voltage line Vcc for potentially "reinforcing" a power supply voltage line Vcc1 is formed in parallel to word lines while letting a ground potential line Vss for potentially reinforcing ground potentials (Vss1, Vss2) is formed in parallel to the word lines.

[0032]

Also note that the ground lines (Vss1, Vss2) are disposed in a direction perpendicular to the word lines WD whereby upon selecting of a single word line a voltage potential is supplied from the pair of ground lines to a respective one of those memory cells operatively associated with this selected word line so that any possible noises occurring at such voltage lines are reduced to thereby advantageously speed up an access operation while

potentially reducing any voltages concerned.

[0033]

Furthermore, the memory cells MC used are great in width in the word line direction so that the layout design of sense amplifiers AMP is made easier to thereby avoid a need to lay out one sense amplifier for two adjacent columns of memory cells, which in turn makes it possible to permit one sense amplifier to be laid out at each column. Additionally a word line driver circuit wddrv becomes flat in layout as compared to prior known ones.

[0034]

<Embodiment 3>

Figs. 5 and 6 show a SRAM cell layout MC2 in accordance with Embodiment 3. Symbols as used in Figs. 5-6 are the same as those in Fig. 2. Memory cell MC2 of Embodiment 3 is similar to the memory cell MC of Embodiment 1, except that whereas in Embodiment 1 the diffusion layer (LN1, LN2) is formed into a "T"-like planar shape, which resembles a Japanese battledore plate called "*hagoita*," the diffusion layer (LN3, LN4) of Embodiment 4 is of a rectangular shape, and that the contacts (SC1, SC2) are replaced with contacts (SC3, SC4) in the first layer of metal lead layers (M11, M12).

[0035]

To attain stability, memory cells are typically designed so that the gate width of N-channel MOS transistors

(TN1, TN2) is 1.5 times greater than that of N-channel MOS transistors (TN3, TN4). However, in this case, the shape of diffusion layers resembles a T-like planar shape as has been shown in Embodiment 1, which in turn requires extra techniques including pattern correction procedures such as optical proximity effect correction (OPC) processes. Additionally this would result in degradation of the balance between transistors. In contrast, Embodiment 3 is such that the diffusion layers (LN3, LN4) are designed to have a rectangular shape whereby the micro-patterning required becomes easier while at the same time enabling improvement in balance between transistors. Note however that the resultant gate width ratio becomes as large as 1.0 time, which in turn requires that the so-called cell ratio be increased by making different driving forces therebetween, which is achievable by letting the N-channel MOS transistors (TN3, TN4) be greater in oxide film thickness than N-channel MOS transistors (TN1, TN2), or by increasing the gate length thereof, or alternatively by increasing the threshold value, or still alternatively by lowering the impurity concentration of lightly-doped drain regions for relaxation of electric fields.

[0036]

In addition, Embodiment 3 is arranged to employ a contact SC3 and a first layer of metal lead layer M11 in place

of the contact SC1 used in Embodiment 1 for connection between the output of inverter INV1 and the input of inverter INV2. With such an arrangement, any curved or bent contacts are no longer necessary, thereby avoiding the need for pattern correction (OPC) or the like.

[0037]

<Embodiment 4>

Figs. 7 and 8 show an SRAM cell layout MC3 in accordance with an Embodiment 4. Symbols as used in Figs. 7-8 are the same as those in Fig. 3. Memory cell MC3 of Embodiment 4 is similar to the memory cell MC2 of Embodiment 3 except that polycrystalline silicon lead layers (FG5, FG6, FG7, FG8) are designed to have a rectangular planar shape. With this cell, any bent/folded portions are absent thus removing the need for any additional pattern correction procedures including OPC processes, which in turn improves the balance between transistors.

[0038]

<Embodiment 5>

Figs. 9 and 10 show an SRAM cell layout MC4 in accordance with Embodiment 5. An explanation on those symbols used in Figs. 9 and 10 is given at lower part of Fig. 11. Memory cell MC4 of Embodiment 5 is different in lead structure from the memory cell MC of Embodiment 1.

[0039]

Bit lines (BL3, BL4) and power supply line Vcc2 are formed by use of a second layer of metal lead layer. A word line WD1 and ground lines (Vss5, Vss6) are formed using a third layer of metal lead layer in a perpendicular direction to the bit lines. Ground lines (Vss3, Vss4) are formed using a fourth layer of metal lead layer in a direction parallel to the bit lines.

[0040]

A global bit line GB is the electrical interconnect lead that is used in case bit lines are of hierarchical configuration. The global bit line GB and bit lines (BL3, BL4) are shielded by the third layer of metal lead layer, thus enabling prevention of any possible cross-couple noises. Additionally the use of ground lines (Vss3, Vss4) makes it possible to prevent occurrence of cross-couple noises between global bit lines GB.

[0041]

<Embodiment 6>

Figs. 12 and 13 show an SRAM cell layout MC5 in accordance with an Embodiment 6. An explanation as to those symbols used in Figs. 12-13 is given in Fig. 14. Memory cell MC5 of Embodiment 6 is different from the memory cell MC of Embodiment 1 in structure of the so-called three-layered contacts, each of which is for connection between a gate electrode and its associated diffusion layer.

[0042]

Although in Embodiment 1 a gate electrode is connected to a diffusion layer via "L"-like contacts SC1, SC2, Embodiment 6 is arranged so that the gate electrode is connected to the diffusion layer via silicide in connect regions SS1, SS2. This makes it unnecessary to bend or curve the individual contact into the L-like shape in order to connect the gate electrode to the diffusion layer, which in turn makes it possible to provide "I"-like rectangular contacts SC5, SC6. No folded/bent portions are present in the contacts used, which eliminates the need for pattern correction (OPC).

[0043]

One practically implementable flow of some major process steps in the manufacture of a device structure employing the connect regions SS1, SS2 each for connection between gate electrode and a diffusion layer associated therewith via silicide is shown in (a) through (f) of Fig. 15.

[0044]

Fabricate a gate electrode FG made of a chosen polycrystalline silicon material (see (a) in Fig. 15).

[0045]

Form side spacers made of silicon nitride (SiN) by chemical vapor deposition (CVD) techniques, on side-walls

of the resultant gate electrode FG ((b) in Fig. 15).

[0046]

Etch away only one of the SiN side spacers which resides on an active region side under a prespecified condition that enables etching treatment of a silicon nitride film and oxide film at increased selectivity ((c) in Fig. 15).

[0047]

Fabricate a heavily doped P (P+) type diffusion layer P+ ((d) in Fig. 15).

[0048]

After having removed through etching certain part of the oxide film SiO₂ that lies in the active region that is not covered by any overlying gate electrode FG, deposit a high-melting-point metal such as refractory metal including, but not limited to, cobalt (Co); then, anneal the resultant structure to thereby selectively form silicide on the poly-silicon gate electrode and diffusion layer ((e) in Fig. 15). At this time the gate electrode's side-wall and diffusion layer are connected together by such silicide.

[0049]

<Embodiment 7>

Figs. 16 and 17 show an SRAM cell layout MC6 in accordance with Embodiment 7. An explanation of those symbols used in Figs. 16-17 is the same as that given in Fig. 14. Memory cell MC6 of Embodiment 7 is similar to the memory

cell MC5 of Embodiment 6 with the contacts (SC5, SC6) being replaced with contacts (SC7, SC8) in the first layer of metal lead layers (M11, M12).

[0050]

With Embodiment 7, all of the contacts used therein are capable of being designed to have a square planar shape, thus avoiding the need for pattern correction (OPC).

[0051]

<Embodiment 8>

Figs. 18 and 19 show an SRAM cell layout MC7 in accordance with Embodiment 8. An explanation of those symbols used in Figs. 18-19 is given in Fig. 20. Memory cell MC7 of Embodiment 8 is similar to the memory cell MC of Embodiment 1 with the contacts (SC1, SC2) being replaced with local interconnect nodes (LI1, LI2) and also with the word lines being modified in such a manner that these are formed in the first layer of metal lead layer rather than in the second layer of metal lead layer while also modifying the bit lines and power supply and ground lines from the third layer of metal lead layer to the second layer of metal lead layer. Fig. 21 depicts a sectional view taken along line A-B of Figs. 18-19.

[0052]

Embodiment 1 suffers from limitations as to an inability to dispose the first layer of metal leads over the

contacts SC1, SC2 due to the fact that these contacts SC1, SC2 are formed of the same layer as the remaining contacts used. In contrast, Embodiment 8 is specifically arranged to employ the local interconnect nodes LI1, LI2 formed in a separate layer from the contacts, thus making it possible to dispose the first layer of metal lead layer at upper part, which in turn makes it possible to reduce by one the requisite number of metal lead layers when compared to Embodiment 1. [0053]

<Embodiment 9>

A process flow of major steps in the manufacture of a three-layer contact section of Embodiment 9 is shown in Fig. 22. This embodiment 9 is an example of the process for fabrication of the three-layer contact section as used in Embodiments 1, 3-5 and 8.

[0054]

Modern LSIs in recent years are typically designed so that micropatterning is done to form contact holes by high-selectivity etching techniques with a silicon nitride film or else used as a stopper to ensure that any unwanted overetching occurs at filed oxide films even when contacts are offset in position from diffusion layers and/or gate electrodes due to the presence of possible alignment errors during photolithographical patterning processes. In cases gate electrodes are formed to have reduced electrical

resistivities by use of the so-called salicide processes, it is possible to obtain the intended electrical conduction between a contact lying over a gate electrode and a contact overlying a diffusion layer even when the both contacts are fabricated at a time because of the fact that the contact holes required are fabricated after completion of a procedure having the steps of forming silicide through exposure of selected portions overlying diffusion layers and gate electrodes after having formed such diffusion layers, depositing thereover a silicon nitride film for use as an etching stopper, and then further depositing thereover an interlayer dielectric film. On the contrary, in the case of either traditionally widely employed polycide gate electrodes or polymetal gate electrodes that have been developed and announced recently, residual portions of an insulative film such as oxide film can overlies gate electrodes thereby preventing exposure of these gate electrodes prior to deposition of a silicon nitride film acting as the etch stopper; accordingly, whenever an attempt is made to form the intended contacts through deposition of a silicon nitride film thereover, the oxide film behaves to partly reside at the bottom of a respective one of those contacts overlying the gate electrodes, which makes it impossible or at least greatly difficult to provide electrical conduction required. Embodiment 9 is for enabling

achievement of electrical conduction of such contacts overlying gate electrodes by previous removal of any silicon nitride film portions overlying gate electrodes at specified part whereat contact holes will be defined.

[0055]

An explanation will now be given of the process flow in the manufacture of Embodiment 9 with reference to Fig. 22 below.

[0056]

After having fabricated a gate electrode and a diffusion layer P+, deposit a silicon nitride film SiN for use as an etch stopper ((a) in Fig. 22). The gate electrode is a lamination of polycrystalline silicon PolySi and tungsten W, with an oxide film SiO₂ being further multilayered thereon as a protective film.

[0057]

Remove by dry etching techniques specified part of the silicon nitride film at locations for definition of a contact hole overlying the gate electrode ((b) in Fig. 22).

[0058]

Deposit a TEOS film and others by plasma CVD methods to thereby form an interlayer dielectric film ((c) in Fig. 22).

[0059]

Let a selected portion of the oxide film at a contact

opening portion be etched away by high selective dry etching techniques ((d) in Fig. 22). Owing to such high selective etching, the silicon nitride film remains free from etch treatment and thus acts as a stopper. Since there is no stopper at the portion overlying the gate electrode from which the silicon nitride film has been removed away in advance, such portion will be fully etched to the upper part of the gate electrode. This permits electrical conduction also on the gate electrode.

[0060]

Remove the silicon nitride film by dry etching techniques ((e) in Fig. 22).

[0061]

Deposit a chosen metal such as tungsten in the resulting contact hole, thereby forming a buried plug ((f) in Fig. 22).

[0062]

<Embodiment 10>

Turning to Fig. 23, there is shown a process flow in the manufacture of the three-layer contact section of Embodiment 10. Embodiment 10 is one example of the process for forming the three-layer contact section of Embodiments 1, 3-5 and 8.

[0063]

A difference of the process flow of Embodiment 10 from

that of Embodiment 9 is that more than one portion of the oxide film at a specified location whereat a contact hole is to be opened over the gate electrode has been removed in advance prior to deposition of a silicon nitride film for use as the etch stopper.

[0064]

The fabrication process flow of Embodiment 10 will be explained with reference to Fig. 23 below.

[0065]

Fabricate a gate electrode and a diffusion layer P+ ((a) in Fig.23). The gate electrode is a lamination of polycrystalline silicon PolySi and tungsten W, with an oxide film SiO further stacked thereon as a protective film.

[0066]

Remove by dry etching techniques a specified part of the silicon nitride film at the location for definition of a contact hole overlying the gate electrode, thus letting the gate electrode be exposed at its upper part ((b) in Fig. 23).

[0067]

Deposit a silicon nitride film SiN as an etch stopper ((c) in Fig. 23).

[0068]

Deposit a TEOS film or else by plasma CVD methods to thereby form an interlayer dielectric film ((d) in Fig. 23).

[0069]

Let a portion of the oxide film at contact opening portion be etched away by high selective dry etching techniques ((e) in Fig. 23). Due to such high selective etching, the silicon nitride film remains free from etching treatment and thus acts as the stopper.

[0070]

Remove the silicon nitride film by dry etching techniques ((f) in Fig. 23). A certain portion from which the oxide film overlying the gate electrode has been removed prior to deposition of the silicon nitride film is thus exposed at this time, which permits electrical conduction also on the gate electrode.

[0071]

Deposit a chosen metal such as tungsten in the resultant contact hole, thereby forming a buried plug ((g) in Fig. 23).

[0072]

[Effect of the Invention]

In accordance with the Embodiments stated above, any diffusion layers used therein are specifically designed to have a simplified planar shape excluding unnecessarily complicated shapes, which may in turn facilitate micro-patterning processes.

[Brief Description of the Drawings]

Fig. 1 is a diagram showing an SRAM cell in accordance with Embodiment 1 of the present invention, for explanation of a layout pattern of those contacts for connection between MOS transistors and those for connecting between MOS transistors and metal lead layers.

Fig. 2 is a diagram showing a layout of via holes of SRAM cells for connection between multilayered metal leads in accordance with Embodiment 1 of this invention.

Fig. 3 is a diagram explaining symbols used in Embodiments 1, 2, 3, and 4.

Fig. 4 is a diagram showing a layout of memory cells and their associated peripheral circuitry in accordance with Embodiment 2 of the invention.

Fig. 5 is a diagram showing an SRAM cell in accordance with Embodiment 3 of the invention, for explanation of a layout of those contacts for connection between MOS transistors and those for connection between MOS transistor and metal lead layers.

Fig. 6 is a diagram showing a layout of via holes of SRAM cells for connection between multilayered metal leads in accordance with Embodiment 3 of the invention.

Fig. 7 is a diagram showing an SRAM cell in accordance with Embodiment 4 of the invention, for explanation of a layout of those contacts for connection between MOS transistors and those for connection between MOS transistors

and metal lead layers.

Fig. 8 is a diagram showing a layout of via holes of SRAM cells for connection between multilayered metal leads in accordance with Embodiment 4 of the invention.

Fig. 9 is a diagram showing an SRAM cell in accordance with Embodiment 5 of the invention, for explanation of a layout of those contacts for connection between MOS transistors and those for connection between MOS transistors and metal lead layers.

Fig. 10 is a diagram showing a layout of via holes of SRAM cells for connection between multilayered metal leads in accordance with Embodiment 5 of the invention.

Fig. 11 is a diagram explaining symbols used in Embodiment 5.

Fig. 12 is a diagram showing an SRAM cell in accordance with Embodiment 6 of the invention, for explanation of a layout of those contacts for connection between MOS transistors and those for connection between MOS transistors and metal lead layers.

Fig. 13 is a diagram showing a layout of via holes of SRAM cells for connection between multilayered metal leads in accordance with Embodiment 6 of the invention.

Fig. 14 is a diagram explaining symbols used in Embodiment 6.

Fig. 15 is composed of diagrams illustrating in

cross-section some of major process steps in the manufacture of the semiconductor device in accordance with Embodiment 6 of the invention.

Fig. 16 is a diagram showing an SRAM cell in accordance with Embodiment 7 of the invention, for explanation of a layout of those contacts for connection between MOS transistors and those for connection between MOS transistors and metal lead layers.

Fig. 17 is a diagram showing a layout of via holes of SRAM cells for use in connecting between multilayered metal leads in accordance with Embodiment 7 of the invention.

Fig. 18 is a diagram showing an SRAM cell in accordance with Embodiment 8 of the invention, for explanation of a layout of those contacts for connection between MOS transistors and those for connection between MOS transistors and metal lead layers.

Fig. 19 is a diagram showing a layout of via holes of SRAM cells for connection between multilayered metal leads in accordance with Embodiment 8 of the invention.

Fig. 20 is a diagram explaining symbols used in Embodiment 8.

Fig. 21 is a sectional view of a semiconductor device in accordance with Embodiment 8 of the invention.

Fig. 22 is composed of diagrams illustrating in cross-section some of major process steps in the manufacture

of a semiconductor device in accordance with Embodiment 9 of the invention.

Fig. 23 is composed of diagrams illustrating in cross-section some of major process steps in the manufacture of a semiconductor device in accordance with Embodiment 10 of the invention.

[Explanation of Symbols]

MC, MC2, MC3, MC4, MC5, MC6, MC7: SRAM memory cell
TN1, TN2, TN3, TN4: N-channel MOS transistor
TP1, TP2: P-channel MOS transistor
PW1, PW2: P-well region
NW1, NW2: N-well region
FG1, FG2, FG3, FG4, FG5, FG6, FG7, FG8, ...: polycrystalline silicon lead layer
LN1, LN2, LN3, LN4, LP1, LP2: diffusion layer
SC1, SC2, SC3, SC4, SC5, SC6, SC7, SC8: contact
INV1, INV2: inverter
WD, WD1: word line
BL1, BL2, BL3, BL4: bit line
Vss, Vss1, Vss2, Vss3, Vss4, Vss5, Vss6: ground potential line
Vcc, Vcc1, Vcc2: supply voltage line
Vbp: a lead for supplying a voltage to the N-well region
Vbn: a lead for supplying a voltage to the P-well region
wddrv: word line driver circuit

AMP: sense amplifier
M11, M12: first layer of metal lead layer
GB: global bit line
SG1: field region
PolySi: polycrystalline silicon
SiN: silicon nitride
SiO: silicon oxide film
SS: silicide layer
TEOS: plasma CVD TEOS film
W: tungsten
Al: aluminum lead layer
P+: heavily doped P-type diffusion layer

[Document's Name] ABSTRACT OF THE DISCLOSURE

[Abstract]

[Problem] Prior known static random access memory (SRAM) cells are required that a diffusion layer be bent into a key-like shape in order to make electrical contact with a substrate with a P-type well region formed therein, which would result in a decrease in asymmetry leading to occurrence of a problem as to the difficulty in micro-patterning.

[Solving Means] To avoid this problem, the P-type well region in which an inverter making up an SRAM cell is formed is subdivided into two portions, which are disposed on the opposite sides of an N-type well region NW1 and are formed so that a diffusion layer forming a transistor has no curvature while causing the layout direction to run in a direction parallel to well boundary lines and bit lines. At intermediate locations of an array, regions for use in supplying power to the substrate are formed in parallel to word lines in such a manner that one region is provided per group of thirty two memory cell rows or sixty four cell rows.

[Effect] According to the invention, a diffusion layer has no complicated shape, thus enabling easy micro-patterning.

[Selected Drawing] Fig. 1